

5. J. Stevenson
#2
5-31-01

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Akihiko HARADA et al.**

Serial Number: **Not Yet Assigned**

Filed: **November 22, 2000**

For: **INSULATED GATE TYPE SEMICONDUCTOR DEVICE AND METHOD
FOR FABRICATING SAME**



CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Director of Patents and Trademarks
Washington, D.C. 20231

November 22, 2000

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:


Japanese Appln. No. 2000-029928, filed on February 8, 2000

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN, HATTORI
McLELAND & NAUGHTON


Stephen G. Adrian
Reg. No. 32,878

Atty. Docket No.: 001545
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
SGA/yap

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

JCS30 U.S. PTO
09/11143
11/22/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 2月 8日

出願番号
Application Number:

特願2000-029928

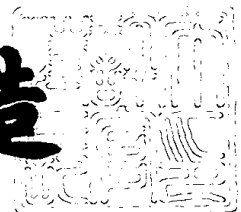
出願人
Applicant(s):

富士通株式会社

2000年 9月 1日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3069281

【書類名】 特許願

【整理番号】 9951761

【提出日】 平成12年 2月 8日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 絶縁ゲート型半導体装置及びその製造方法

【請求項の数】 8

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 原田 昭彦

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 秋谷 定則

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 古谷 和弘

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 渡邊 久

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100105337

 【弁理士】

【氏名又は名称】 眞鍋 潔

【代理人】

【識別番号】 100072833

【弁理士】

【氏名又は名称】 柏谷 昭司

【代理人】

【識別番号】 100075890

【弁理士】

【氏名又は名称】 渡邊 弘一

【代理人】

【識別番号】 100110238

【弁理士】

【氏名又は名称】 伊藤 壽郎

【手数料の表示】

【予納台帳番号】 075097

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9906989

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 絶縁ゲート型半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 能動領域となる半導体層を基板分離用絶縁膜によって半導体基板から分離した絶縁ゲート型半導体装置において、支柱状の主ゲート電極と梁状導電体パターンからなるT字状のゲート電極を設けるとともに、前記梁状導電体パターンの直下のゲート絶縁膜の膜厚を前記主ゲート電極の直下のゲート絶縁膜の膜厚より厚くしたことを特徴とする絶縁ゲート型半導体装置。

【請求項2】 能動領域となる半導体層を基板分離用絶縁膜によって半導体基板から分離した絶縁ゲート型半導体装置において、一導電型のボディコンタクト領域と逆導電型のソース・ドレイン領域との境界に位置する一導電型半導体領域の表面に設けた絶縁膜の膜厚を、ゲート電極の直下のゲート絶縁膜の膜厚より厚くしたことを特徴とする絶縁ゲート型半導体装置。

【請求項3】 能動領域となる半導体層を基板分離用絶縁膜によって半導体基板から分離した絶縁ゲート型半導体装置において、一導電型のボディコンタクト領域と逆導電型のソース・ドレイン領域との境界に位置する一導電型半導体領域の表面にゲート電極の直下のゲート絶縁膜の膜厚より厚い埋込絶縁膜を設けたことを特徴とする絶縁ゲート型半導体装置。

【請求項4】 能動領域となる半導体層を基板分離用絶縁膜によって半導体基板から分離した絶縁ゲート型半導体装置において、支柱状の主ゲート電極と梁状導電体パターンからなるL字状或いは非対称なT字状のいずれかの形状のゲート電極を設けるとともに、前記梁状導電体パターンを挟んでボディコンタクト領域とソース領域及びドレイン領域の一方が分離されていることを特徴とする絶縁ゲート型半導体装置。

【請求項5】 能動領域となる半導体層を基板分離用絶縁膜によって半導体基板から分離した絶縁ゲート型半導体装置において、支柱状の主ゲート電極と梁状導電体パターンからなるL字状或いは非対称なT字状のいずれかの形状のゲート電極を設けるとともに、前記梁状導電体パターンの少なくとも一部が実効的なゲート電極として機能することを特徴とする絶縁ゲート型半導体装置。

【請求項 6】 能動領域となる半導体層を基板分離用絶縁膜によって半導体基板から分離した絶縁ゲート型半導体装置の製造方法において、前記半導体層の表面に部分的に膜厚の異なるゲート絶縁膜を設ける工程、前記ゲート絶縁膜の厚膜部に梁状導電体パターンを設けるとともに、前記ゲート絶縁膜上に支柱状の主ゲート電極を設けて T 字状のゲート電極を形成する工程、前記ゲート電極の側面にサイドウォールを形成する工程、前記主ゲート電極及び梁状導電体パターンをマスクとして不純物を導入してソース・ドレイン領域を形成する工程、前記梁状導電体パターンをマスクとして不純物を導入してボディコンタクト領域を形成する工程、及び、全面に金属膜を堆積させたのち熱処理を行うことによってシリサイド電極を形成する工程を有することを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項 7】 能動領域となる半導体層を基板分離用絶縁膜によって半導体基板から分離した絶縁ゲート型半導体装置の製造方法において、前記半導体層の表面に部分的に膜厚の異なるゲート絶縁膜を設ける工程、前記ゲート絶縁膜の厚膜部に梁状導電体パターンを設けるとともに、前記ゲート絶縁膜上に支柱状の主ゲート電極を設けて T 字状のゲート電極を形成する工程、前記ゲート電極の側面にサイドウォールを形成する工程、前記主ゲート電極及び梁状導電体パターンをマスクとして不純物を導入してソース・ドレイン領域を形成する工程、前記梁状導電体パターンをマスクとして不純物を導入してボディコンタクト領域を形成する工程、及び、前記梁状導電体パターンを除去したのち全面に金属膜を堆積させ、熱処理を行うことによってシリサイド電極を形成する工程を有することを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項 8】 能動領域となる半導体層を基板分離用絶縁膜によって半導体基板から分離した絶縁ゲート型半導体装置の製造方法において、前記半導体層の表面に深さの異なる溝を形成し、前記溝を絶縁物によって埋め込むことによって素子分離絶縁膜と素子内分離絶縁膜を形成する工程、ゲート絶縁膜上にゲート電極を設ける工程、前記ゲート電極の側面にサイドウォールを形成する工程、前記ゲート電極及び前記素子内分離絶縁膜をマスクとして不純物を導入してソース・ドレイン領域を形成する工程、前記素子内分離絶縁膜をマスクとして不純物を導

入してボディコンタクト領域を形成する工程、及び、全面に金属膜を堆積させ、熱処理を行うことによってシリサイド電極を形成する工程を有することを特徴とする絶縁ゲート型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は絶縁ゲート型半導体装置及びその製造方法に関するものであり、特に、SOI (Silicon On Insulator) 基板を用いたMOSFET等の絶縁ゲート型半導体装置 (IGFET) におけるボディコンタクト領域の形成に伴う短絡、寄生容量の増加、或いは、チップサイズの増加を防止するための構成に特徴のある絶縁ゲート型半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】

従来、MOS型半導体装置においては、ゲート電極直下のチャネル領域の形成される半導体領域にキャリアが蓄積することによってしきい値電圧 V_{th} やドレイン電流 I_{ds} が変動することがあり、半導体領域がフローティング状態となるSOI-MOS型半導体装置、特に、半導体領域が完全に空乏化しないPD (Partially Depleted) SOI-MOS型半導体装置において問題となる。

【0003】

この様なしきい値電圧 V_{th} 等の変動を防止するために、チャネル領域の形成される半導体領域に対してボディコンタクトを取ることによって蓄積したキャリアを引く抜くことが行われているので、ここで、図15及び図16を参照して従来のボディコンタクト領域を設けたMOS型半導体装置を説明する。

【0004】

図15参照

図15は、従来のMOSFETの一例を示す説明図であり、図15 (a) は平面図、図15 (b) は図15 (a) におけるA-A' を結ぶ一点鎖線に沿った断

面図であり、また、図15(c)は図15(a)におけるB-B'を結ぶ一点鎖線に沿った断面図である。

但し、この場合には、nチャネル型MOSFETのみを示すが、pチャネル型MOSFETにおいても導電型、したがって、用いる不純物が異なるだけで実質的には同じである。

【0005】

まず、p型シリコン基板71の表面側にp型ウエル領域72を設けるとともに、LOCOS(選択酸化)法或いはSTI(Shallow Trench Isolation:シャロートレンチ分離)法を用いて素子形成領域を囲む素子分離酸化膜73を形成すると同時に、ボディコンタクト領域を分離するための素子内分離酸化膜74を形成する。

【0006】

次いで、p型ウエル領域72の露出表面にゲート酸化膜75を形成したのち、全面にアモルファスシリコン膜等の電極用被膜を堆積させ、イオン注入等によって導電性を付与したのち、エッチングすることによってゲート電極76を形成し、次いで、ゲート電極76をマスクとしてP等のn型不純物をイオン注入することによって追い込み拡散領域77を形成する。

【0007】

次いで、 SiO_2 膜を全面に堆積させたのち異方性エッチングを施すことによってゲート電極76の側面等にサイドウォール78を形成し、次いで、ボディコンタクト形成領域をレジストでマスクした状態で、ゲート電極76及びサイドウォール78をマスクとしてPイオンを注入することによってn型ソース領域79及びn型ドレイン領域80を形成する。

【0008】

次いで、n型ソース領域79及びn型ドレイン領域80をレジストでマスクした状態で、ボディコンタクト形成領域にBをイオン注入することによってボディコンタクト領域81を形成し、次いで、全面に Co 膜を堆積させたのち、熱処理を施すことによってシリサイド化させてシリコンが露出している領域に CoSi 及び CoSi_2 からなるシリサイド層を形成する。

【0009】

次いで、未反応の Co 膜を選択的に除去したのち、再び、熱処理を施すことによってシリサイド層の内の CoSi を CoSi_2 に変換することによって CoSi_2 層82～85を形成し、ボディコンタクト電極を有するMOS型半導体装置の基本構成が完成する。

なお、 CoSi_2 層83はソース電極、 CoSi_2 層84はドレイン電極、及び、 CoSi_2 層85はボディコンタクト電極となる。

【0010】

しかし、近年における半導体装置の高集積化或いは高速化の進展に伴い、素子を微細化するとともに基板との間の寄生容量を低減するために、能動素子領域を基板から絶縁分離したSOI基板を用いたMOS型半導体装置が注目を集めているが、この様なSOI-MOS型半導体装置においては能動素子領域が完全に絶縁分離されてフローティング状態になっているので、図15の場合のように、ウェル領域を介してボディコンタクト領域によってゲート電極直下の電位を制御することが不可能となる。

【0011】

したがって、従来のSOI-MOS型半導体装置においては、ゲート電極のゲート幅方向（即ち、チャンネル長方向と垂直方向）にチャンネルが形成される半導体領域と同導電型の突出した島状領域を設け、この島状領域にボディコンタクト電極を設けることが提案されている（必要ならば、例えば、特開平8-125187号公報）。

【0012】

しかし、この様なボディコンタクトのための突出した島状領域は素子の微細化の障害となるので、素子の微細化が進に連れて、セパレータを用いることによってソース・ドレイン領域の近傍にボディコンタクト領域を設けるとともに、自己整合的にコタクト電極を形成するためにシリサイド電極の使用が試みられているので、この様なセパレータを設けた従来のSOI-MOSFETを図16を参照して説明する。

【0013】

図 1 6 参照

図 1 6 は、従来の S O I - M O S F E T の一例を示す説明図であり、図 1 6 (a) は平面図、図 1 6 (b) は図 1 6 (a) における A - A ' を結ぶ一点鎖線に沿った断面図であり、また、図 1 6 (c) は図 1 6 (a) における B - B ' を結ぶ一点鎖線に沿った断面図である。

但し、この場合も、n チャンネル型 M O S F E T のみを示すが、p チャンネル型 M O S F E T においても導電型、したがって、用いる不純物が異なるだけで実質的には同じである。

【 0 0 1 4 】

まず、シリコン基板 9 1 の所定深さに酸素イオンを注入したのち熱処理を行って酸素イオン注入領域を $S i O_2$ に変換して B O X (B u r i e d O x i d e) 、即ち、基板分離酸化膜 9 2 を形成し、次いで、表面に B をイオン注入することによって p 型シリコン層 9 3 を形成する。

【 0 0 1 5 】

次いで、S T I (シャロートレンチ分離) 法を用いて素子形成領域を囲む素子分離酸化膜 9 4 を形成したのち、p 型シリコン層 9 3 の表面にゲート絶縁膜 9 5 を形成し、次いで、全面にアモルファスシリコン膜等の電極用被膜を堆積させ、イオン注入等によって導電性を付与したのち、エッチングすることによって T 字状の電極パターンを形成する

この T 字状の電極パターンの支柱の部分がゲート電極 9 6 となり、梁状の部分がゲート動作とは関係のないセパレータ 9 7 となる。

【 0 0 1 6 】

次いで、ゲート電極 9 6 をマスクとして P 等の n 型不純物をイオン注入することによって追い込み拡散領域 9 8 を形成したのち、 $S i O_2$ 膜を全面に堆積させて異方性エッチングを施すことによってゲート電極 9 6 の側面等にサイドウォール 9 9 を形成し、次いで、ボディコンタクト形成領域をレジストでマスクした状態で、ゲート電極 9 6 、セパレータ 9 7 、及び、サイドウォール 9 9 をマスクとして P イオンを注入することによって n 型ソース領域 1 0 0 及び n 型ドレイン領域 1 0 1 を形成する。

【0017】

次いで、n型ソース領域100及びn型ドレイン領域101をレジストでマスクした状態で、ボディコンタクト形成領域に BF_2 をイオン注入することによってボディコンタクト領域102を形成したのち、全面に Co 膜を堆積させ、次いで、熱処理を施すことによってシリサイド化させてシリコンが露出している領域に CoSi 及び CoSi_2 からなるシリサイド層を形成する。

【0018】

次いで、未反応の Co 膜を選択的に除去したのち、再び、熱処理を施すことによってシリサイド層の内の CoSi を CoSi_2 に変換することによって CoSi_2 層103～106を形成し、ボディコンタクト電極を有するSOI-MOS型半導体装置の基本構成が完成する。

なお、 CoSi_2 層104はソース電極、 CoSi_2 層105はドレイン電極、及び、 CoSi_2 層106はボディコンタクト電極となる。

【0019】

この様なSOI-MOSFETにおいては、セパレータ97がイオン注入マスクの一部となるとともに、ソース・ドレイン電極となる CoSi_2 層104、105電極、ボディコンタクト電極となる CoSi_2 層106とをサイドウォール99を介して分離しているので、ボディコンタクト電極とソース・ドレイン電極とが短絡することがない。

【0020】

この場合、チャネル領域が形成されるp型シリコン層93は、ボディコンタクト領域102を介して所定の電位に設定されるので、 V_{th} の変動が防止され、また、n型ソース領域100或いはn型ドレイン領域101とボディコンタクト領域102とはp型シリコン層93を介して接しているので、 p^+ / n^+ 接合が形成されることがなく、したがって、ドレイン耐圧が低下することがない。

【0021】

【発明が解決しようとする課題】

しかし、この様なセパレータを用いたSOI-MOSFETにおいては、セパレータの側壁に設けたサイドウォールによってボディコンタクト電極とソース・

ドレイン電極との短絡を防止しているが、サイドウォールの高さが低いとシリサイド化工程においては、サイドウォールの表面に堆積した金属膜にも Si が拡散してゆき合金化し、この部分のシリサイドを除去することができないので、このシリサイド層が介してボディコンタクト電極とソース・ドレイン電極とが短絡するという問題がある。

【 0 0 2 2 】

また、通常の使用状態のように、トランジスタをアレイ状に配列した場合、隣接するセパレータ同士が異電位である場合、短絡を防止するために両者の間を一定の距離だけ離間させる必要があり、それによって、チップ面積が増加するという問題がある。

【 0 0 2 3 】

さらに、セパレータの幅は、セパレータを形成する際のフォトリソグラフィ工程の重合わせ精度、セパレータのエッチング工程における仕上がり寸法のバラツキ、及び、ボディコンタクト領域形成工程におけるイオン注入マスクの重ね合わせ精度等に依存するため、一つのトランジスタに占める面積はチャネル形成に機能するゲート電極と同じオーダーとなり寄生容量が増大するため、ゲート遅延が大きくなってデバイス性能を劣化させるという問題がある。

【 0 0 2 4 】

したがって、本発明は、電極間の短絡を防止するとともに、セパレータ同士の短絡を防止し、また、寄生容量の増大を防止することを目的とする。

【 0 0 2 5 】

【課題を解決するための手段】

ここで、図 1 を参照して本発明における課題を解決するための手段を説明する。

なお、図 1 は、本発明の原理的構成の説明図であり、図 1 (a) は平面図、図 1 (b) は図 1 (a) における A - A ' を結ぶ一点鎖線に沿った断面図であり、また、図 1 (c) は図 1 (a) における B - B ' を結ぶ一点鎖線に沿った断面図である。

図 1 (a) 乃至 (b) 参照

(1) 本発明は、能動領域となる半導体層 3 を基板分離用絶縁膜 2 によって半導体基板 1 から分離した絶縁ゲート型半導体装置において、支柱状の主ゲート電極 6 と梁状導電体パターン 7 からなる T 字状のゲート電極を設けるとともに、梁状導電体パターン 7 の直下のゲート絶縁膜の膜厚を主ゲート電極 6 の直下のゲート絶縁膜 4 の膜厚より厚くしたことを特徴とする。

【 0 0 2 6 】

この様に、梁状導電体パターン 7、即ち、セパレータを有する T 字状のゲート電極を設けた場合、梁状導電体パターン 7 の直下のゲート絶縁膜の膜厚を主ゲート電極 6 の直下のゲート絶縁膜 4 の膜厚より厚くすることによって、即ち、厚膜部 5 を設けることによってセパレータに起因する寄生容量が低減される。

【 0 0 2 7 】

また、上記 (1) において、ゲート電極の側壁にサイドウォール 8 を設けるとともに、少なくとも半導体層 3 の露出表面にシリサイド電極 10 を設けることが望ましい。

即ち、セパレータの直下はゲート絶縁膜 4 の厚膜部 5 となっているので、それに伴って主ゲート電極 6 の膜厚も厚くなるので、サイドウォール 8 の高さも高くなり、それによって、シリサイド電極 10 が互いに接続することがなくなるので、各シリサイド電極 10 間の短絡を防止することができる。

また、高いサイドウォール 8 を設けることによって隣接する素子のセパレータ間の分離はより確実になるので、短絡防止のための余分なスペースが不要になり、それによってトランジスタピッチを縮小することができる。

【 0 0 2 8 】

(2) また、本発明は、能動領域となる半導体層 3 を基板分離用絶縁膜 2 によって半導体基板 1 から分離した絶縁ゲート型半導体装置において、一導電型のボディコンタクト領域 9 と逆導電型のソース・ドレイン領域との境界に位置する一導電型半導体領域の表面に設けた絶縁膜の膜厚を、ゲート電極の直下のゲート絶縁膜 4 の膜厚より厚くしたことを特徴とする。

【 0 0 2 9 】

この様に、一導電型のボディコンタクト領域 9 と逆導電型のソース・ドレイン

領域との境界に位置する一導電型半導体領域の表面に設けた絶縁膜の膜厚を、ゲート電極の直下のゲート絶縁膜 4 の膜厚より厚くすることによって、最終的にセパレータが不要になるので、セパレータに起因する寄生容量が発生することはない、且つ、セパレータ同士を分離するためのスペースも不要になるのでトランジスタピッチの縮小が可能になる。

【 0 0 3 0 】

また、上記（2）において、ゲート電極の側壁にサイドウォール 8 を設けるとともに、少なくとも半導体層 3 の露出表面にシリサイド電極 1 0 を設けることが望ましい。

即ち、高いサイドウォール 8 を設けることによって隣接する素子のセパレータ間を確実に絶縁分離されるので余分な分離のためのスペースが不要になり、且つ、セパレータと主ゲート電極 6 との接続部におけるトランジスタ性能の変化を考慮する必要がなくなる。

また、一導電型のボディコンタクト領域 9 と逆導電型のソース・ドレイン領域との境界に位置する一導電型半導体領域の表面には厚い絶縁膜、即ち、厚膜部 5 が設けられているので、シリサイド電極 1 0 を形成する際に、一導電型のボディコンタクト領域 9 と逆導電型のソース・ドレイン領域との境界に位置する一導電型半導体領域の表面がシリサイド化される危険性が全くなくなる。

【 0 0 3 1 】

（3）また、本発明は、能動領域となる半導体層 3 を基板分離用絶縁膜 2 によって半導体基板 1 から分離した絶縁ゲート型半導体装置において、一導電型のボディコンタクト領域 9 と逆導電型のソース・ドレイン領域との境界に位置する一導電型半導体領域の表面にゲート電極の直下のゲート絶縁膜 4 の膜厚より厚い埋込絶縁膜を設けたことを特徴とする。

【 0 0 3 2 】

この様に、一導電型のボディコンタクト領域 9 と逆導電型のソース・ドレイン領域との境界に位置する一導電型半導体領域の表面にゲート電極の直下のゲート絶縁膜 4 の膜厚より厚い埋込絶縁膜、即ち、素子内分離絶縁膜を設けることによって、セパレータが不要になるので、セパレータに起因する寄生容量が発生する

ことはなく、且つ、セパレータと主ゲート電極 6 との接続部におけるトランジスタ性能の変化を考慮する必要がなくなる。

また、セパレータ同士を分離するためのスペースも不要になるのでトランジスタピッチの縮小が可能になる。

【 0 0 3 3 】

(4) また、本発明は、能動領域となる半導体層 3 を基板分離用絶縁膜 2 によって半導体基板 1 から分離した絶縁ゲート型半導体装置において、支柱状の主ゲート電極 6 と梁状導電体パターン 7 からなる L 字状或いは非対称な T 字状のいずれかの形状のゲート電極を設けるとともに、梁状導電体パターン 7 を挟んでボディコンタクト領域 9 とソース領域及びドレイン領域の一方が分離されていることを特徴とする。

【 0 0 3 4 】

ソース領域及びドレイン領域の一方とボディコンタクト領域 9 とを同電位にして使用する素子の場合には、支柱状の主ゲート電極 6 と梁状導電体パターン 7 からなる L 字状或いは非対称な T 字状のいずれかの形状のゲート電極を設けることによって、隣接する素子間におけるセパレータ同士の短絡が防止されるので、短絡防止のためのスペースが不要になる。

また、セパレータの長さが短くなるので、寄生容量も大幅に低減してトランジスタ性能が向上する。

【 0 0 3 5 】

(5) また、本発明は、能動領域となる半導体層 3 を基板分離用絶縁膜 2 によって半導体基板 1 から分離した絶縁ゲート型半導体装置において、支柱状の主ゲート電極 6 と梁状導電体パターン 7 からなる L 字状或いは非対称な T 字状のいずれかの形状のゲート電極を設けるとともに、梁状導電体パターン 7 の少なくとも一部が実効的なゲート電極として機能することを特徴とする。

【 0 0 3 6 】

この様に、L 字状或いは非対称な T 字状のゲート電極を構成する梁状導電体パターン 7 の少なくとも一部も実効的なゲート電極とすることによって、実効的なチャンネル幅が増加するのでトランジスタ性能が向上する。

また、梁状導電体パターン 7 はボディコンタクト領域 9 を形成する際のマスクとして用いていないので、梁状導電体パターン 7 の幅を主ゲート電極 6 の幅と同じにすることができる。

【 0 0 3 7 】

また、本発明は、上記（４）または（５）において、ゲート電極の側壁にサイドウォール 8 を設けるとともに、少なくとも半導体層 3 の露出表面にシリサイド電極 1 0 を設けることが望ましい。

即ち、このようにシリサイド電極 1 0 を設けることによって、ボディコンタクト領域 9 と同電位で使用する領域に対する電極を一体に形成することができ、一方、ボディコンタクト領域 9 と異電位に設定する領域はサイドウォール 8 によって電氣的に絶縁することができる。

【 0 0 3 8 】

また、本発明は、上記（１）乃至（５）のいずれかにおいて、ゲート電極の側端部の半導体層 3 に、追い込み拡散領域を有することを特徴とする。

即ち、追い込み拡散領域を設けることによってゲート電極の側端部にオフセット領域が形成されることが防止され、特に、サイドウォール 8 を設ける場合に有効になる。

【 0 0 3 9 】

（６）また、本発明は、能動領域となる半導体層 3 を基板分離用絶縁膜 2 によって半導体基板 1 から分離した絶縁ゲート型半導体装置の製造方法において、半導体層 3 の表面に部分的に膜厚の異なるゲート絶縁膜 4 を設ける工程、ゲート絶縁膜 4 の厚膜部 5 に梁状導電体パターン 7 を設けるとともに、ゲート絶縁膜 4 上に支柱状の主ゲート電極 6 を設けて T 字状のゲート電極を形成する工程、ゲート電極の側面にサイドウォール 8 を形成する工程、主ゲート電極 6 及び梁状導電体パターン 7 をマスクとして不純物を導入してソース・ドレイン領域を形成する工程、梁状導電体パターン 7 をマスクとして不純物を導入してボディコンタクト領域 9 を形成する工程、及び、全面に金属膜を堆積させたのち熱処理を行うことによってシリサイド電極 1 0 を形成する工程を有することを特徴とする。

【 0 0 4 0 】

この様に、梁状導電体パターン 7、即ち、セパレータをゲート絶縁膜 4 の厚膜部 5 に設けることによって、サイドウォール 8 の高さを高くすることができ、それによって、シリサイド電極 1 0 がサイドウォール 8 上に形成されるのを防止することができ、シリサイド電極 1 0 間の短絡を防止することができる。

【 0 0 4 1 】

(7) また、本発明は、能動領域となる半導体層 3 を基板分離用絶縁膜 2 によって半導体基板 1 から分離した絶縁ゲート型半導体装置の製造方法において、半導体層 3 の表面に部分的に膜厚の異なるゲート絶縁膜 4 を設ける工程、ゲート絶縁膜 4 の厚膜部 5 に梁状導電体パターン 7 を設けるとともに、ゲート絶縁膜 4 上に支柱状の主ゲート電極 6 を設けて T 字状のゲート電極を形成する工程、ゲート電極の側面にサイドウォール 8 を形成する工程、主ゲート電極 6 及び梁状導電体パターン 7 をマスクとして不純物を導入してソース・ドレイン領域を形成する工程、梁状導電体パターン 7 をマスクとして不純物を導入してボディコンタクト領域 9 を形成する工程、及び、梁状導電体パターン 7 を除去したのち全面に金属膜を堆積させ、熱処理を行うことによってシリサイド電極 1 0 を形成する工程を有することを特徴とする。

【 0 0 4 2 】

この様に、全面にシリサイド電極 1 0 を形成するための金属膜を堆積させる前に、不純物導入マスクとなる梁状導電体パターン 7、即ち、セパレータを除去することによって、セパレータによる寄生容量をなくすることができる。

また、シリサイド化工程においては、セパレータの除去部には、厚膜部 5 が存在するので、金属膜の堆積工程の前の洗浄工程等において半導体層 3 が露出することがなく、したがって、除去部にシリサイド電極 1 0 が形成されることがなくなる。

【 0 0 4 3 】

(8) また、本発明は、能動領域となる半導体層 3 を基板分離用絶縁膜 2 によって半導体基板 1 から分離した絶縁ゲート型半導体装置の製造方法において、半導体層 3 の表面に深さの異なる溝を形成し、溝を絶縁物によって埋め込むことによって素子分離絶縁膜と素子内分離絶縁膜を形成する工程、ゲート絶縁膜 4 上に

ゲート電極を設ける工程、ゲート電極の側面にサイドウォール 8 を形成する工程、ゲート電極及び素子内分離絶縁膜をマスクとして不純物を導入してソース・ドレイン領域を形成する工程、素子内分離絶縁膜をマスクとして不純物を導入してボディコンタクト領域 9 を形成する工程、及び、全面に金属膜を堆積させ、熱処理を行うことによってシリサイド電極 1 0 を形成する工程を有することを特徴とする。

【 0 0 4 4 】

この様に、ボディコンタクト領域 9 とソース・ドレイン領域との間を埋込絶縁物からなる素子内分離絶縁膜によって分離することによって、セパレータが不要になり、トランジスタピッチの縮小が可能になり、且つ、セパレータと主ゲート電極 6 との接続部におけるトランジスタ特性の変化を考慮する必要がなくなる。

【 0 0 4 5 】

また、本発明は、上記（6）乃至（8）のいずれかにおいて、サイドウォール 8 を形成する前に、不純物を導入してゲート電極の側端部に追込み拡散領域を形成する工程を有することが望ましい。

即ち、サイドウォール 8 を形成する前に、追込み拡散領域を形成することによって、サイドウォール 8 の直下がオフセット領域になることを防止することができる。

【 0 0 4 6 】

【発明の実施の形態】

ここで、図 2 乃至図 6 を参照して本発明の第 1 の実施の形態の S O I - M O S F E T の製造工程を説明するが、説明を簡単にするために、n チャネル型 M O S F E T の製造工程として説明する。

図 2（a）参照

図 2（a）の上側の図は平面図であり、下側の図は平面図の A - A' を結ぶ一点鎖線に沿った断面図である。

まず、シリコン基板 1 1 の所定深さに酸素イオンを注入したのち熱処理を行って酸素イオン注入領域を $S i O_2$ に変換して基板分離酸化膜 1 2 を形成し、次いで、表面に B をイオン注入することによって p 型シリコン層 1 3 を形成する。

次いで、S T I 法を用いて素子形成領域の周囲に素子分離酸化膜 1 4 を形成したのち、p 型シリコン層 9 3 の表面に熱酸化によってゲート絶縁膜 1 5 を形成する。

【 0 0 4 7 】

図 2 (b) 参照

次いで、ボディコンタクト形成領域を覆うレジストパターン 1 6 をマスクとしてウェット・エッチングを施すことによって、ゲート絶縁膜 1 5 の露出部を除去する。

【 0 0 4 8 】

図 3 (c) 参照

次いで、レジストパターン 1 6 を除去したのち、熱酸化によって厚さが、例えば、4 n m のゲート絶縁膜 1 7 を形成する。

この際、ゲート絶縁膜 1 5 の残部は、厚さが、例えば、3 . 5 n m 余分に厚い 7 . 5 n m の厚膜部 1 8 となり、ゲート絶縁膜 1 7 に膜厚差が形成される。

【 0 0 4 9 】

図 3 (d) 参照

なお、図 3 (d) の上側の図は平面図であり、下側の図は平面図の A - A ' を結ぶ一点鎖線に沿った断面図である。

次いで、全面に、厚さが、例えば、1 8 0 n m のアモルファスシリコン膜を堆積させたのち、P をイオン注入し、次いで、アニールすることによって n 型多結晶シリコン膜に変換したのち、T 字状のレジストパターン 1 9 をマスクとしてドライ・エッチングすることによって幅が、例えば、0 . 1 8 μ m の支柱状のゲート電極 2 0 と、幅が、例えば、0 . 5 0 μ m の梁状のセパレータ 2 1 を形成する。

【 0 0 5 0 】

次いで、ウェット・エッチングを施すことによって、ゲート絶縁膜 1 7 及び厚膜部 1 8 の露出部を除去して p 型シリコン層 1 3 の表面を露出させる。

なお、図においては、セパレータ 2 1 とゲート電極 2 0 とを異なった砂地で表現しているが、同じ n 型多結晶シリコン膜によって構成されるものである。

【 0 0 5 1 】

図 4 (e) 参照

なお、図 4 (e) の上側の図は平面図であり、真中の図は平面図の A - A ' を結ぶ一点鎖線に沿った断面図であり、また、下側の図は平面図の B - B ' を結ぶ一点鎖線に沿った断面図である。

次いで、ボディコンタクト形成領域をレジストパターン（図示せず）で被覆したのち、P をイオン注入することによってゲート電極 2 0 の側端部直下に n 型の追い込み拡散領域 2 7 を形成する。

【 0 0 5 2 】

次いで、 SiO_2 膜を全面に堆積させたのち、異方性エッチングを施すことによってゲート電極 2 0 とセパレータ 2 1 の側面等にサイドウォール 2 2 を形成し、次いで、ボディコンタクト形成領域をレジストパターン 2 3 でマスクした状態で、ゲート電極 2 0 、セパレータ 2 1 、及び、サイドウォール 2 2 をマスクとして P イオン 2 4 を注入することによって n 型ソース領域 2 5 及び n 型ドレイン領域 2 6 を形成する。

【 0 0 5 3 】

図 5 (f) 参照

次いで、レジストパターン 2 3 を除去したのち、n 型ソース領域 2 5 及び n 型ドレイン領域 2 6 をレジストパターン 2 8 でマスクした状態で、B イオン 2 9 を注入することによってボディコンタクト領域 3 0 を形成する。

【 0 0 5 4 】

図 5 (g) 参照

なお、上側の図は A - A ' に沿った断面図であり、下側の図は B - B ' に沿った断面図である。

次いで、レジストパターン 2 8 を除去したのち、洗浄を行い、次いで、スパッタリング法を用いて全面に C o 膜 3 1 を堆積させる。

【 0 0 5 5 】

図 6 (h) 参照

なお、図 6 (h) の上側の図は平面図であり、真中の図は平面図の A - A ' を

結ぶ一点鎖線に沿った断面図であり、また、下側の図は平面図のB-B'を結ぶ一点鎖線に沿った断面図である。

次いで、 N_2 雰囲気中で、急速熱処理 (Rapid Thermal Annealing: RTA) を施すことによって、C_o膜31とSiとを反応させてC_oSi層を形成したのち、 $H_2SO_4 : H_2O_2 = 3 : 1$ の混合液でエッチングを行うことによって素子分離酸化膜14及びサイドウォール22等の絶縁膜の上の未反応C_o膜を除去する。

【0056】

次いで、再び、 N_2 雰囲気中でRTA処理を施すことによってC_oSi層とSiとを再び反応させて、ゲート電極20、セパレータ21、n型ソース領域25、n型ドレイン領域26、及び、ボディコンタクト領域30の表面に低抵抗相のC_oSi₂層32を形成することによって、SOI-MOSFETの基本構造が完成する。

【0057】

この場合、セパレータ21の側面に形成されたサイドウォール22の高さは、厚膜部18の存在によって高くなっているため、シリサイド化反応の際に、サイドウォール22の表面上のC_o膜31がシリサイド化することがなく、したがって、隣接する素子のセパレータ21同士がサイドウォール22上に形成されたシリサイド層を介して電氣的に接続されることがないので、素子ピッチを縮小することができる。

また、セパレータ21をイオン注入マスクとして作用する程度の膜厚にするために、結果的にゲート電極20の膜厚も厚くなるためゲート電極20の側壁のサイドウォール22も高くなるため、C_oSi₂層32間の短絡も防止することができる。

【0058】

また、セパレータ21の直下には厚い厚膜部18が存在するので、セパレータ21に起因する寄生容量を大幅に低減することが可能になり、それによって、ゲート遅延を低減することができる。

なお、厚膜部18を形成するための2段階の工程は、周辺回路を構成する高耐

圧トランジスタの形成工程と同じ工程とすることによって、工程数が増加することがない。

【0059】

次に、図7及び図8を参照して、本発明の第2の実施の形態のSOI-MOSFETの製造工程を説明する。

図7(a) 参照

まず、上記の第1の実施の形態と全く同様に、図5(f)までの工程を行ってボディコンタクト領域30を形成したのち、レジストパターン28を除去することによって、図7(a)の構造が得られる。

【0060】

図7(b) 参照

次いで、セパレータ21に対応する形状の開口部を有するレジストパターン33をマスクとしてドライ・エッチングを行うことによって、セパレータ21のみを選択的に除去する。

【0061】

図7(c) 参照

次いで、レジストパターン33を除去したのち、洗浄を行い、次いで、スパッタリング法を用いて全面にC_o膜31を堆積させる。

この洗浄工程において、セパレータ21の除去部には厚膜部18が存在するので、エッチングによって、除去部においてSiO₂膜が除去されてp型シリコン層が露出することがなく、この部分においてp型シリコン層13とC_o膜31とが接触することがない。

【0062】

図8(d) 参照

なお、図8(d)の上側の図は平面図であり、真中の図は平面図のA-A'を結ぶ一点鎖線に沿った断面図であり、また、下側の図は平面図のB-B'を結ぶ一点鎖線に沿った断面図である。

次いで、N₂雰囲気中で、RTA処理を施すことによって、C_o膜31とSiとを反応させてC_oSi層を形成したのち、H₂SO₄ : H₂O₂ = 3 : 1の混

合液でエッチングを行うことによって素子分離酸化膜14、厚膜部18、及び、サイドウォール22等の絶縁膜の上の未反応C_o膜を除去する。

【0063】

次いで、再び、N₂ 雰囲気中でRTA処理を施すことによってC_oSi層とSiとを再び反応させて、ゲート電極20、n型ソース領域25、n型ドレイン領域26、及び、ボディコンタクト領域30の表面に低抵抗相のC_oSi₂層32を形成することによって、SOI-MOSFETの基本構造が完成する。

【0064】

この第2の実施の形態においては、イオン注入のためのマスクとなるセパレータ21をイオン注入後に除去しているので、セパレータ21に起因する寄生容量をなくすことができ、セパレータ21に起因するゲート遅延が発生することがない。

【0065】

また、シリサイド化工程において、ゲート電極20のゲート幅方向の端部に形成されたC_oSi₂層32が多少突出したとしても、厚い厚膜部18上であるので、寄生容量が問題となることがない。

【0066】

また、セパレータ21を除去しているので、ゲート電極20とセパレータ21との接続部がなくなるので、接続部によるトランジスタ特性の変化を考慮する必要がなくなる。

【0067】

次いで、図9乃至図12を参照して、本発明の第3の実施の形態のSOI-MOSFETの製造工程を説明する。

図9(a) 参照

まず、シリコン基板11の所定深さに酸素イオンを注入したのち熱処理を行って酸素イオン注入領域をSiO₂に変換して基板分離酸化膜12を形成し、次いで、表面にBをイオン注入することによってp型シリコン層41を形成したのち、下地となるSiO₂膜42及び、CMP (Chemical Mechanical Polishing) 工程におけるストッパーとなるSiN膜43を順

次形成する。

【 0 0 6 8 】

図 9 (b) 参照

次いで、レジストパターン 4 4 をマスクとしてドライ・エッチングを施すことによって、ボディコンタクト形成領域と他の領域とを分離するためのシャロートレンチ 4 5 を形成する。

【 0 0 6 9 】

図 9 (c) 参照

次いで、レジストパターン 4 4 を除去したのち、新たに設けたレジストパターン 4 6 をマスクとしてドライ・エッチングを施すことによって、素子形成領域を囲む基板分離酸化膜 1 2 に達する深さの素子分離用トレンチ 4 7 を形成する。

【 0 0 7 0 】

図 1 0 (d) 参照

次いで、HDP (High Density Plasma) - CVD法を用いて全面に SiO_2 膜 4 8 を堆積することによって、シャロートレンチ 4 5 及び素子分離用トレンチ 4 7 を SiO_2 膜 4 8 によって完全に埋め込む。

【 0 0 7 1 】

図 1 0 (e) 参照

次いで、CMP法によって SiO_2 膜 4 8 を研磨することによって、 SiN 膜 4 3 が露出するまで SiO_2 膜 4 8 を除去することによって、素子分離用トレンチ 4 7 を埋め込む素子分離酸化膜 4 9 とシャロートレンチ 4 5 を埋め込む素子内分離酸化膜 5 0 を形成する。

【 0 0 7 2 】

図 1 0 (f) 参照

次いで、 SiN 膜 4 3 及び SiO_2 膜 4 2 を除去したのち、全面に B イオン 5 1 を注入することによってシリコン層 4 1 を p 型シリコン層 5 2 に変換する。

【 0 0 7 3 】

図 1 1 (g) 参照

次いで、素子形成領域の表面に SiON 膜からなるゲート絶縁膜 5 3 を形成す

る。

【 0 0 7 4 】

図 1 1 (h) 参照

なお、上側の図は平面図であり、下側の図は平面図の A - A ' を結ぶ一点鎖線に沿った断面図である。

次いで、全面に、厚さが、例えば、180nmのアモルファスシリコン膜を堆積させたのち、Pをイオン注入し、次いで、アニールすることによってn型多結晶シリコン膜に変換したのち、ドライ・エッチングすることによって幅が、例えば、0.18μmのゲート電極54を形成する。

次いで、ウェット・エッチングを施すことによって、ゲート絶縁膜53の露出部を除去してp型シリコン層52の表面を露出させる。

【 0 0 7 5 】

図 1 2 (i) 参照

なお、図 1 2 (i) の上側の図は平面図であり、真中の図は平面図の A - A ' を結ぶ一点鎖線に沿った断面図であり、また、下側の図は平面図の B - B ' を結ぶ一点鎖線に沿った断面図である。

次いで、ボディコンタクト形成領域をレジストパターンで被覆したのち、Pをイオン注入することによってn型の追い込み拡散領域56を形成する。

【 0 0 7 6 】

次いで、SiO₂膜を全面に堆積させたのち、異方性エッチングを施すことによってゲート電極54の側面等にサイドウォール55を形成し、次いで、ボディコンタクト形成領域をレジストパターンでマスクした状態で、ゲート電極54、及びサイドウォール55をマスクとしてPイオンを注入することによってn型ソース領域57及びn型ドレイン領域58を形成する。

【 0 0 7 7 】

次いで、レジストパターンを除去したのち、n型ソース領域57及びn型ドレイン領域58をレジストパターンでマスクした状態で、Bイオンを注入することによってボディコンタクト領域30を形成する。

【 0 0 7 8 】

以降は上記の第 1 の実施の形態と全く同様な工程によって、ゲート電極 5 4、
n 型ソース領域 5 7、n 型ドレイン領域 5 8、及び、ボディコンタクト領域 3 0
の表面に低抵抗相の CoSi_2 層 3 2 を形成することによって、SOI-MOS
FET の基本構造が完成する。

【 0 0 7 9 】

この第 3 の実施の形態においては、予めボディコンタクト形成領域を分離する
素子内分離酸化膜 5 0 を形成しており、且つ、この素子内分離酸化膜 5 0 の厚さ
は不純物の導入を実質的に阻止する $0.08\mu\text{m}$ 以上の厚さであるので、セパレ
ータが不要になり、したがって、上記の第 2 の実施の形態と同様にセパレータに
起因する寄生容量をなくすることができ、また、素子ピッチを縮小することができ
る。

【 0 0 8 0 】

次に、図 1 3 を参照して本発明の第 4 の実施の形態の SOI-MOSFET を
説明するが、製造工程自体は、ゲート絶縁膜に厚膜部を形成しない以外には上記
の第 1 の実施の形態と同様であるので、説明を省略する。

なお、図 1 3 (a) は平面図であり、図 1 3 (b) は図 1 3 (a) における A
- A' を結ぶ一点鎖線に沿った断面図であり、また、図 1 3 (c) は図 1 3 (a)
) における B - B' を結ぶ一点鎖線に沿った断面図である。

図 1 3 (a) 乃至 (c) 参照

この第 4 の実施の形態の SOI-MOSFET は、セパレータ 6 1 を n 型ドレ
イン領域 2 6 側にのみ設けたものであり、したがって、p 型のボディコンタクト
領域 3 0 と n 型ソース領域 2 5 とは一体の CoSi_2 層 6 4 によって短絡した構
造となっている。

【 0 0 8 1 】

即ち、通常の回路構成において、ソース領域とチャネルが形成される基板領域
とを同電位にして使用する場合があるが、この様な場合に適用されるものであり
、基板領域、即ち、p 型シリコン層 1 3 はボディコンタクト領域 3 0 を介して n
型ソース領域 2 5 と実質的に同電位に設定されることになる。

【 0 0 8 2 】

この第4の実施の形態においては、セパレータ61が短くなるので、セパレータ61に起因する寄生容量を大幅に低減することができ、それによって、トランジスタ特性を向上することができる。

また、セパレータ61を除去した側の面積が減少する。

【0083】

次に、図14を参照して本発明の第5の実施の形態のSOI-MOSFETを説明するが、製造工程自体は、第1の実施の形態と共通する点が多いので、相違点を中心に説明する。

なお、図14(a)は平面図であり、図14(b)は図14(a)におけるA-A'を結ぶ一点鎖線に沿った断面図であり、また、図14(c)は図14(a)におけるC-C'を結ぶ一点鎖線に沿った断面図である。

図14(a)乃至(c)参照

この第5の実施の形態のSOI-MOSFETは、n型多結晶シリコン層をパターンニングする際に、ゲート電極20をボディコンタクト形成領域側に若干突出させるとともに、セパレータ65をドレイン領域形成側にのみ設けたものである。

【0084】

そして、ソース・ドレイン領域を形成する際には、セパレータ65のボディコンタクト形成領域側の近傍が露出するようにレジストパターンを設け、このレジストパターンをマスクとしてPをイオン注入することによってn型ドレイン領域26を形成するとともに、セパレータ65のボディコンタクト形成領域側及びセパレータ65を設けない領域にn型ソース領域25を形成する。

【0085】

次いで、n型ソース領域25及びn型ドレイン領域26を覆うレジストパターンを設け、このレジストパターンをマスクとしてBをイオン注入することによってボディコンタクト領域30を形成する。

以降は、上記の第1の実施の形態と同様なシリサイド形成工程によって、 CoSi_2 層62～64を形成することによって、本発明の第5の実施の形態のSOI-MOSFETの基本構成が完成する。

なお、この場合も、p型のボディコンタクト領域30とn型ソース領域25とは一体の CoSi_2 層64によって短絡した構造となっている。

【0086】

この第5の実施の形態においては、セパレータ65も実効的にゲート電極として機能するので、実効的なゲート幅をセパレータ65の長さ分だけ長くすることができ、それによって、トランジスタ特性を向上することができる。

【0087】

また、この場合のセパレータ65の幅は、トランジスタの動作特性を均一にするためには、ゲート電極20の幅と同じにする必要があるが、それに伴って、セパレータ65に起因するゲート容量を低減することが可能になる。

【0088】

以上、本発明の実施の形態を説明してきたが、本発明は各実施の形態に記載した構成及び条件に限られるものではなく、各種の変更が可能である。

例えば、本発明の実施の形態においては、SOI構造を酸素のイオン注入によるSIOX (Separation by Implanted Oxygen) 法によって形成しているが、基板貼り合わせ法を用いても良いものである。

【0089】

例えば、単結晶シリコン基板の表面に SiO_2 膜を形成したのち、単結晶シリコン基板からなる貼り合わせ基板を SiO_2 膜の表面に接着させて貼り合わせ、次いで、研削及び通常の研磨によって、単結晶シリコン基板の大部分を除去してその表面を鏡面化することによって、 SiO_2 膜によって貼り合わせ基板から絶縁分離された素子形成層を設けても良いのである。

【0090】

また、上記の各実施の形態においては、素子分離絶縁膜をSTI法によって形成しているが、STI法に限られるものではなく、LOCOS (選択酸化) 法等を用いても良いものであり、さらには、BOX (基板分離酸化膜) を形成する前に素子分離絶縁膜を形成しても良いものである。

【0091】

特に、基板貼り合わせ法を用いる場合には、単結晶シリコン基板に素子分離用

溝形成したのち、CVD法によって全面にCVD-SiO₂膜を堆積させることによって、素子分離溝を埋め込むとともに表面を平坦化し、次いで、単結晶シリコン基板からなる貼り合わせ基板をCVD-SiO₂膜の表面に接着させて貼り合わせたのち、研削及び通常の研磨によって、単結晶シリコン基板の大部分を除去して、その表面を鏡面化することによって素子分離絶縁膜を設けたSOI基板を形成しても良いものである。

【0092】

また、上記の第1、第2、第4、及び、第5の実施の形態においては、ゲート絶縁膜として熱酸化によるSiO₂膜を用いているが、CVD膜でも良いものであり、さらには、SiO₂膜に限られるものではなく、上記の第3の実施の形態と同様にSiON膜を用いても良いものであり、逆に、第3の実施の形態においてゲート絶縁膜としてSiO₂膜を用いても良いものである。

【0093】

また、上記の各実施の形態においては、追い込み拡散領域を設けているが、必ずしも必須のものではなく、さらに、追い込み拡散領域の代わりにn⁻型のLDD (Lightly Doped Drain) 領域を形成しても良いものである。

【0094】

また、上記の各実施の形態においては、シリサイド電極を形成する際に、Co膜を用いてCoSi₂層を形成しているが、CoSi₂層に限られるものではなく、Ti膜を用いてTiSi₂層をシリサイド電極として用いても良いものである。

【0095】

また、上記の各実施の形態においては、説明を簡単にするためにnチャネル型MOSFETとして説明しているが、pチャネル型MOSFETにも同様に適当されるものであり、特に、互いに素子分離絶縁膜によって分離されたpチャネル型MOSFETとnチャネル型MOSFETとを隣接して設け、互いのゲート電極を共通接続することによって周知のインバータを構成しても良いものである。

【0096】

【発明の効果】

本発明によれば、セパレータに起因する寄生容量を低減或いは消滅することができるとともに、シリサイド電極間の短絡を防止することができ、それによって、ボディコンタクト電極とドレイン電極との短絡或いは隣接するセパレータ同士の短絡を防止することができ、トランジスタピッチの縮小が可能になるので、絶縁ゲート型集積回路装置の高集積化、高速化に寄与するところが大きい。

【図面の簡単な説明】

【図 1】

本発明の原理的構成の説明図である。

【図 2】

本発明の第 1 の実施の形態の途中までの製造工程の説明図である。

【図 3】

本発明の第 1 の実施の形態の図 2 以降の途中までの製造工程の説明図である。

【図 4】

本発明の第 1 の実施の形態の図 3 以降の途中までの製造工程の説明図である。

【図 5】

本発明の第 1 の実施の形態の図 4 以降の途中までの製造工程の説明図である。

【図 6】

本発明の第 1 の実施の形態の図 5 以降の製造工程の説明図である。

【図 7】

本発明の第 2 の実施の形態の途中までの製造工程の説明図である。

【図 8】

本発明の第 2 の実施の形態の図 7 以降の製造工程の説明図である。

【図 9】

本発明の第 3 の実施の形態の途中までの製造工程の説明図である。

【図 1 0】

本発明の第 3 の実施の形態の図 9 以降の途中までの製造工程の説明図である。

【図 1 1】

本発明の第 3 の実施の形態の図 1 0 以降の途中までの製造工程の説明図である

【図 1 2】

本発明の第 3 の実施の形態の図 1 1 以降の製造工程の説明図である。

【図 1 3】

本発明の第 4 の実施の形態の S O I - M O S F E T の説明図である。

【図 1 4】

本発明の第 5 の実施の形態の S O I - M O S F E T の説明図である。

【図 1 5】

従来の M O S F E T の説明図である。

【図 1 6】

従来の S O I - M O S F E T の説明図である。

【符号の説明】

- 1 半導体基板
- 2 基板分離用絶縁膜
- 3 半導体層
- 4 ゲート絶縁膜
- 5 厚膜部
- 6 主ゲート電極
- 7 梁状導電体パターン
- 8 サイドウォール
- 9 ボディコンタクト領域
- 1 0 電極
- 1 1 シリコン基板
- 1 2 基板分離酸化膜
- 1 3 p 型シリコン層
- 1 4 素子分離酸化膜
- 1 5 ゲート絶縁膜
- 1 6 レジストパターン
- 1 7 ゲート絶縁膜

- 18 厚膜部
- 19 レジストパターン
- 20 ゲート電極
- 21 セパレータ
- 22 サイドウォール
- 23 レジストパターン
- 24 Pイオン
- 25 n型ソース領域
- 26 n型ドレイン領域
- 27 追い込み拡散領域
- 28 レジストパターン
- 29 Bイオン
- 30 ボディコンタクト領域
- 31 Co膜
- 32 CoSi₂膜
- 33 レジストパターン
- 41 シリコン層
- 42 SiO₂膜
- 43 SiN膜
- 44 レジストパターン
- 45 シャロートレンチ
- 46 レジストパターン
- 47 素子分離用トレンチ
- 48 SiO₂膜
- 49 素子分離酸化膜
- 50 素子内分離酸化膜
- 51 Bイオン
- 52 p型シリコン層
- 53 ゲート絶縁膜

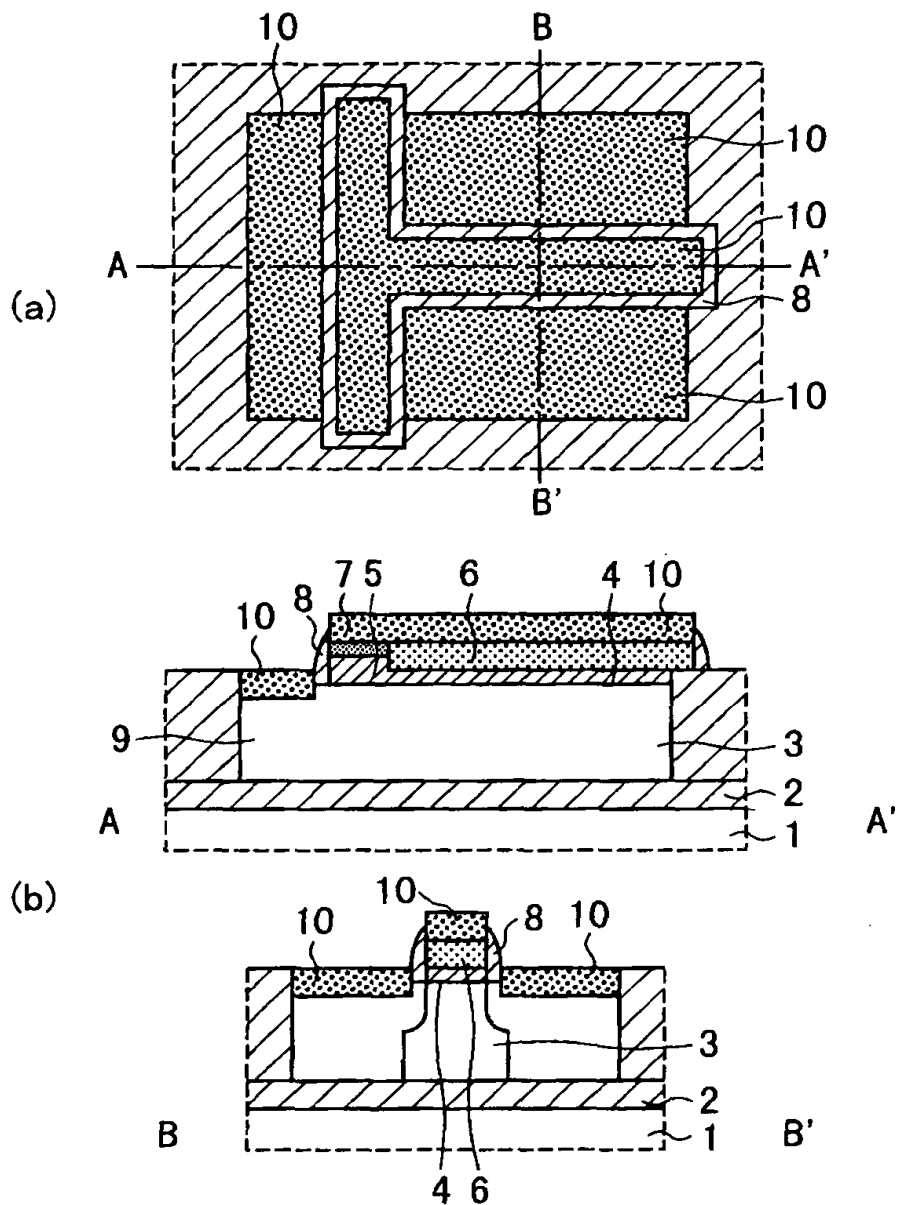
- 5 4 ゲート電極
- 5 5 サイドウォール
- 5 6 追い込み拡散領域
- 5 7 n型ソース領域
- 5 8 n型ドレイン領域
- 6 1 セパレータ
- 6 2 CoSi_2 膜
- 6 3 CoSi_2 膜
- 6 4 CoSi_2 膜
- 6 5 セパレータ
- 7 1 p型シリコン基板
- 7 2 p型ウエル領域
- 7 3 素子分離酸化膜
- 7 4 素子内分離酸化膜
- 7 5 ゲート酸化膜
- 7 6 ゲート電極
- 7 7 追い込み拡散領域
- 7 8 サイドウォール
- 7 9 n型ソース領域
- 8 0 n型ドレイン領域
- 8 1 ボディコンタクト領域
- 8 2 CoSi_2 膜
- 8 3 CoSi_2 膜
- 8 4 CoSi_2 膜
- 8 5 CoSi_2 膜
- 9 1 シリコン基板
- 9 2 基板分離酸化膜
- 9 3 p型シリコン層
- 9 4 素子分離酸化膜

- 9 5 ゲート絶縁膜
- 9 6 ゲート電極
- 9 7 セパレータ
- 9 8 追い込み拡散領域
- 9 9 サイドウォール
- 1 0 0 n型ソース領域
- 1 0 1 n型ドレイン領域
- 1 0 2 ボディコンタクト領域
- 1 0 3 CoSi_2 膜
- 1 0 4 CoSi_2 膜
- 1 0 5 CoSi_2 膜
- 1 0 6 CoSi_2 膜

【書類名】 図面

【図 1】

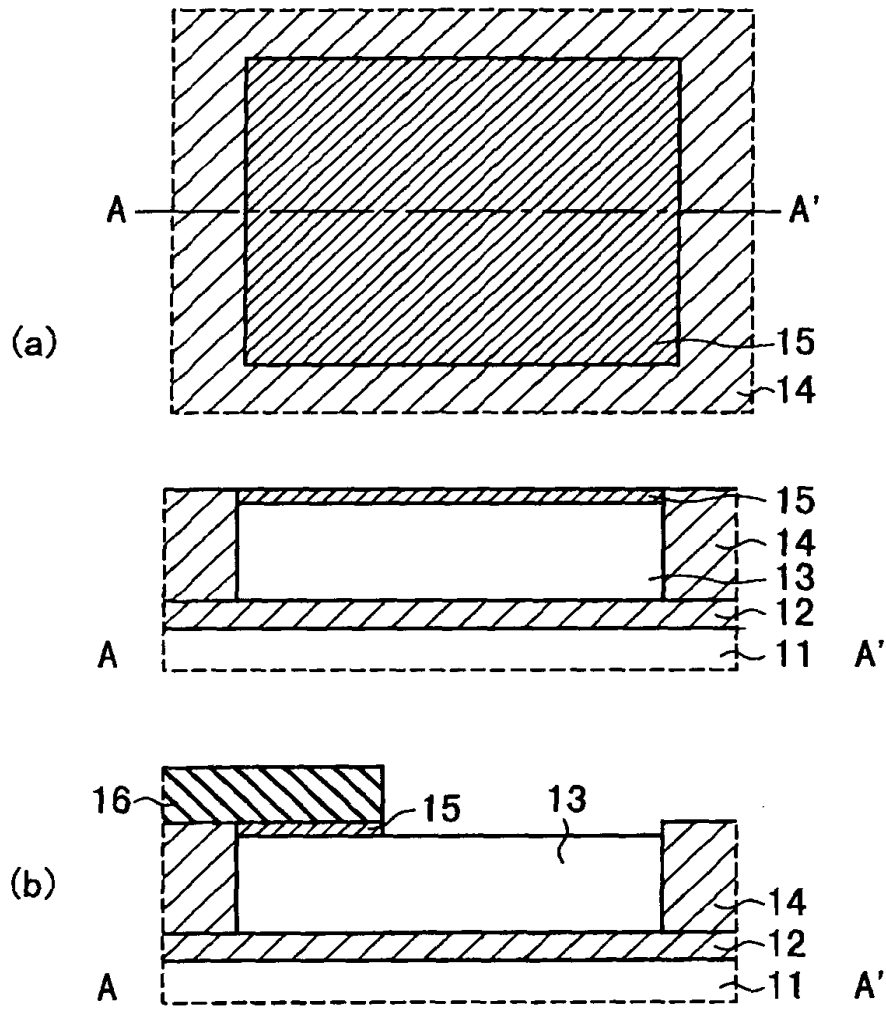
本発明の原理的構成の説明図



- | | | |
|-------------|--------------|---------------|
| 1: 半導体基板 | 5: 厚膜部 | 9: ボディコンタクト領域 |
| 2: 基板分離用絶縁膜 | 6: 主ゲート電極 | 10: シリサイド電極 |
| 3: 半導体層 | 7: 梁状導電体パターン | |
| 4: ゲート絶縁膜 | 8: サイドウォール | |

【図 2】

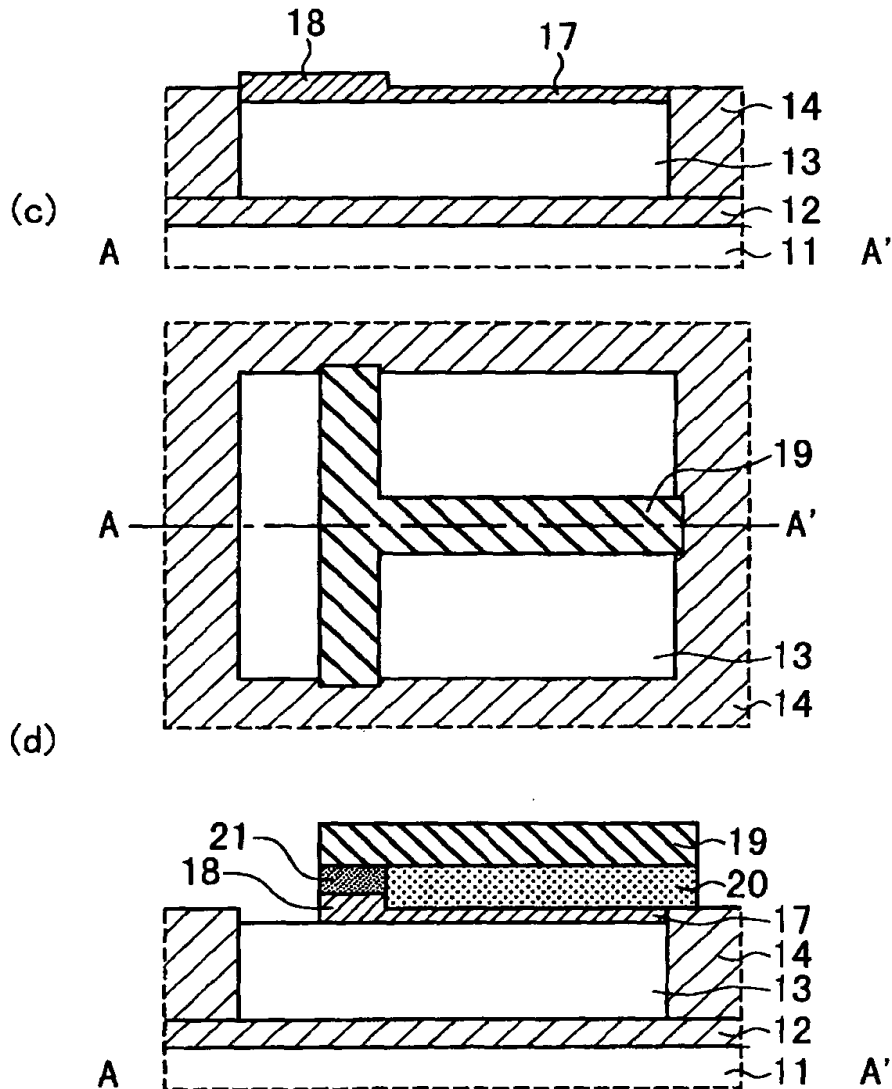
本発明の第 1 の実施の形態の途中までの製造工程の説明図



- | | |
|------------|-------------|
| 11:シリコン基板 | 14:素子分離酸化膜 |
| 12:基板分離酸化膜 | 15:ゲート絶縁膜 |
| 13:p型シリコン層 | 16:レジストパターン |

【図 3】

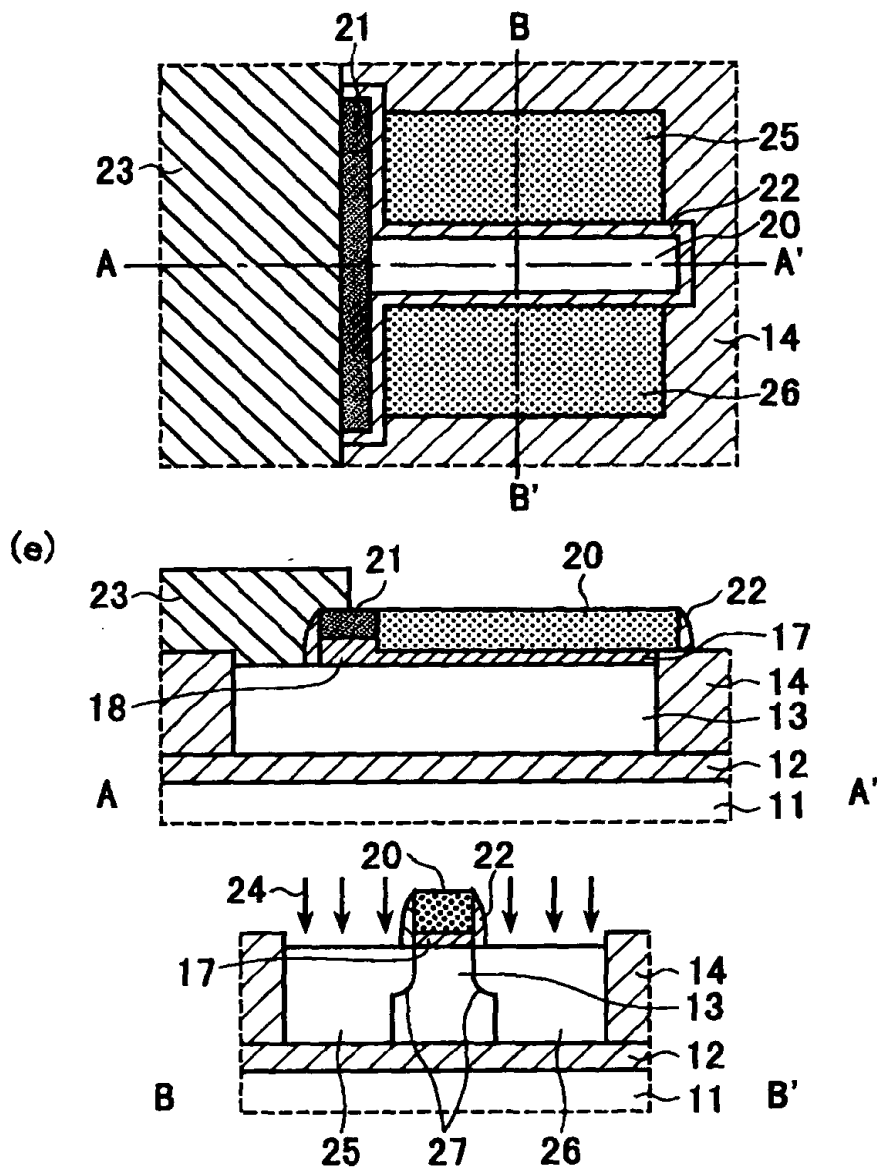
本発明の第 1 の実施の形態の図 2 以降の途中までの製造工程の説明図



- | | |
|------------|-------------|
| 11:シリコン基板 | 18:厚膜部 |
| 12:基板分離酸化膜 | 19:レジストパターン |
| 13:p型シリコン層 | 20:ゲート電極 |
| 14:素子分離酸化膜 | 21:セパレータ |
| 17:ゲート絶縁膜 | |

【図4】

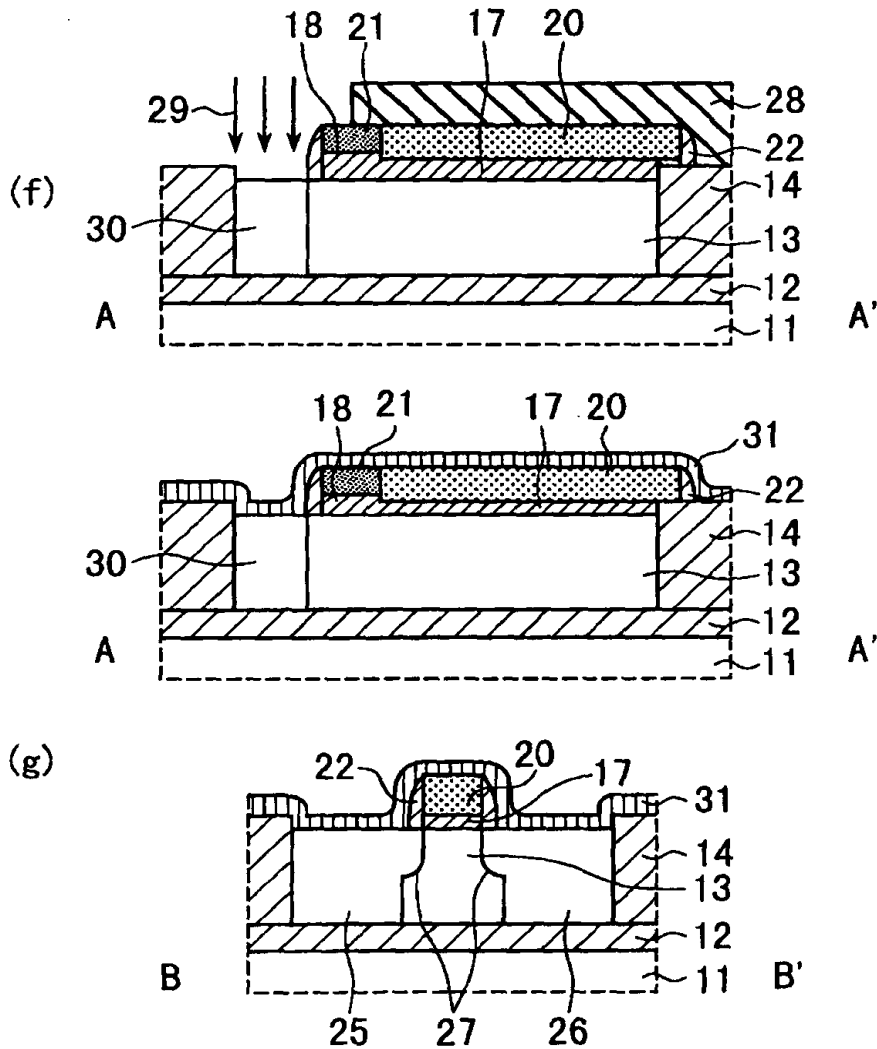
本発明の第1の実施の形態の図3以降の途中までの製造工程の説明図



- | | | |
|------------|-------------|-------------|
| 11:シリコン基板 | 18:厚膜部 | 24:Pイオン |
| 12:基板分離酸化膜 | 20:ゲート電極 | 25:n型ソース領域 |
| 13:p型シリコン層 | 21:セパレータ | 26:n型ドレイン領域 |
| 14:素子分離酸化膜 | 22:サイドウォール | 27:追い込み拡散領域 |
| 17:ゲート絶縁膜 | 23:レジストパターン | |

【図 5】

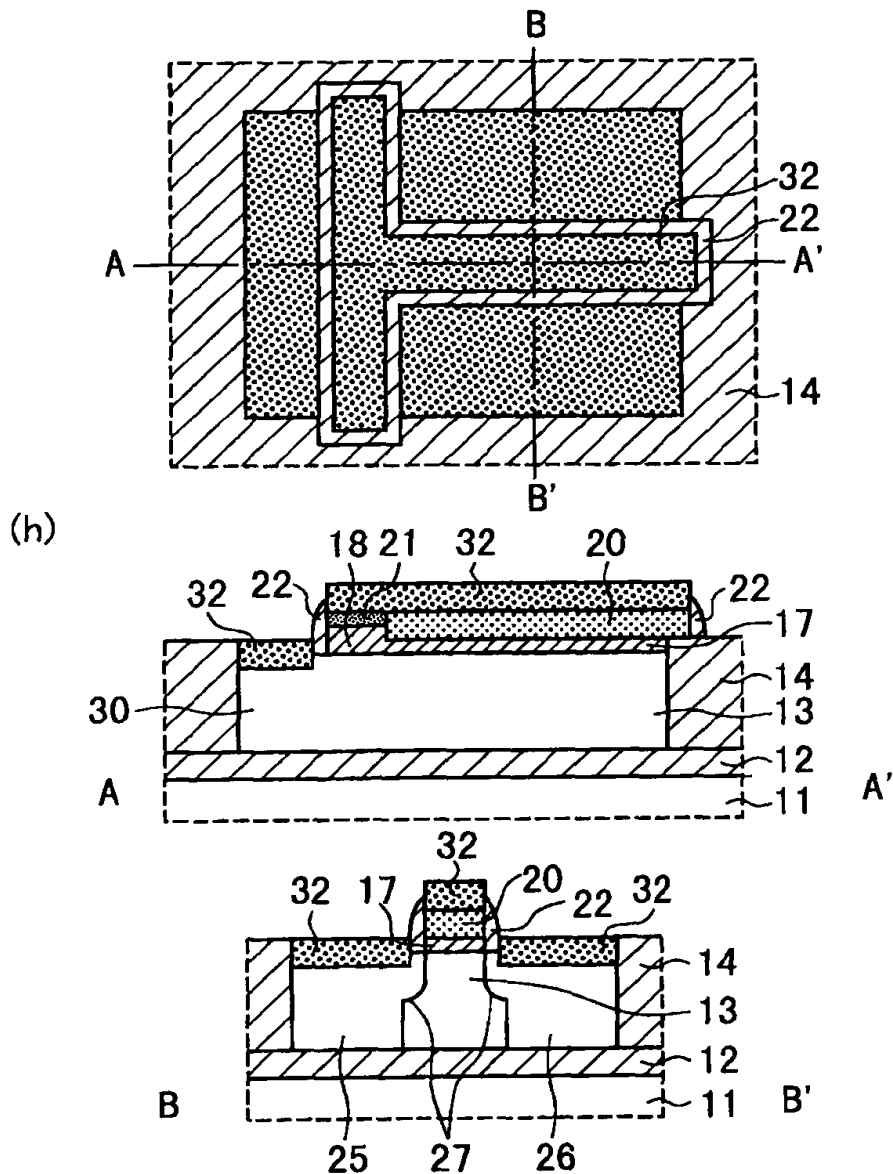
本発明の第 1 の実施の形態の図 4 以降の途中までの製造工程の説明図



- | | | |
|------------|------------|---------------|
| 11:シリコン基板 | 18:厚膜部 | 26:n型ドレイン領域 |
| 12:基板分離酸化膜 | 20:ゲート電極 | 27:追い込み拡散領域 |
| 13:p型シリコン層 | 21:セパレータ | 28:レジストパターン |
| 14:素子分離酸化膜 | 22:サイドウォール | 29:Bイオン |
| 17:ゲート絶縁膜 | 25:n型ソース領域 | 30:ボディコンタクト領域 |
| | | 31:Co膜 |

【図 6】

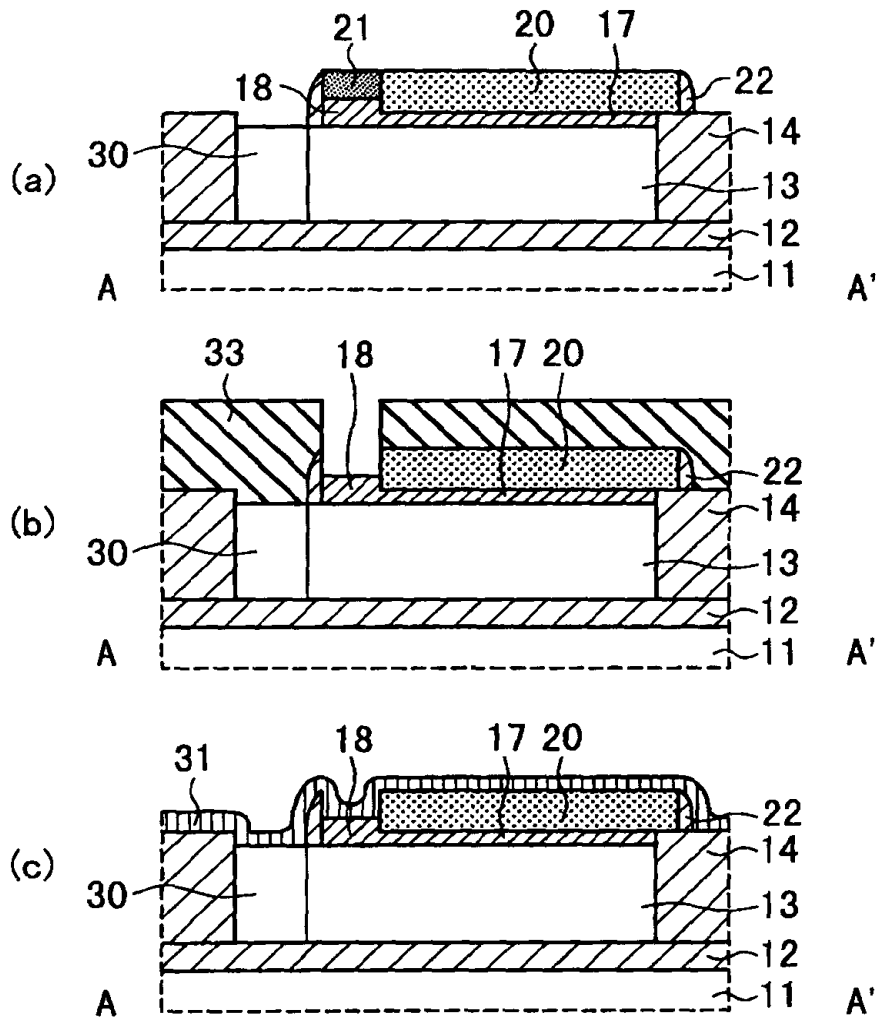
本発明の第 1 の実施の形態の図 5 以降の製造工程の説明図



- | | | |
|------------|------------|------------------------|
| 11:シリコン基板 | 18:厚膜部 | 26:n型ドレイン領域 |
| 12:基板分離酸化膜 | 20:ゲート電極 | 27:追い込み拡散領域 |
| 13:p型シリコン層 | 21:セパレータ | 30:ボディコンタクト領域 |
| 14:素子分離酸化膜 | 22:サイドウォール | 32:CoSi ₂ 層 |
| 17:ゲート絶縁膜 | 25:n型ソース領域 | |

【図 7】

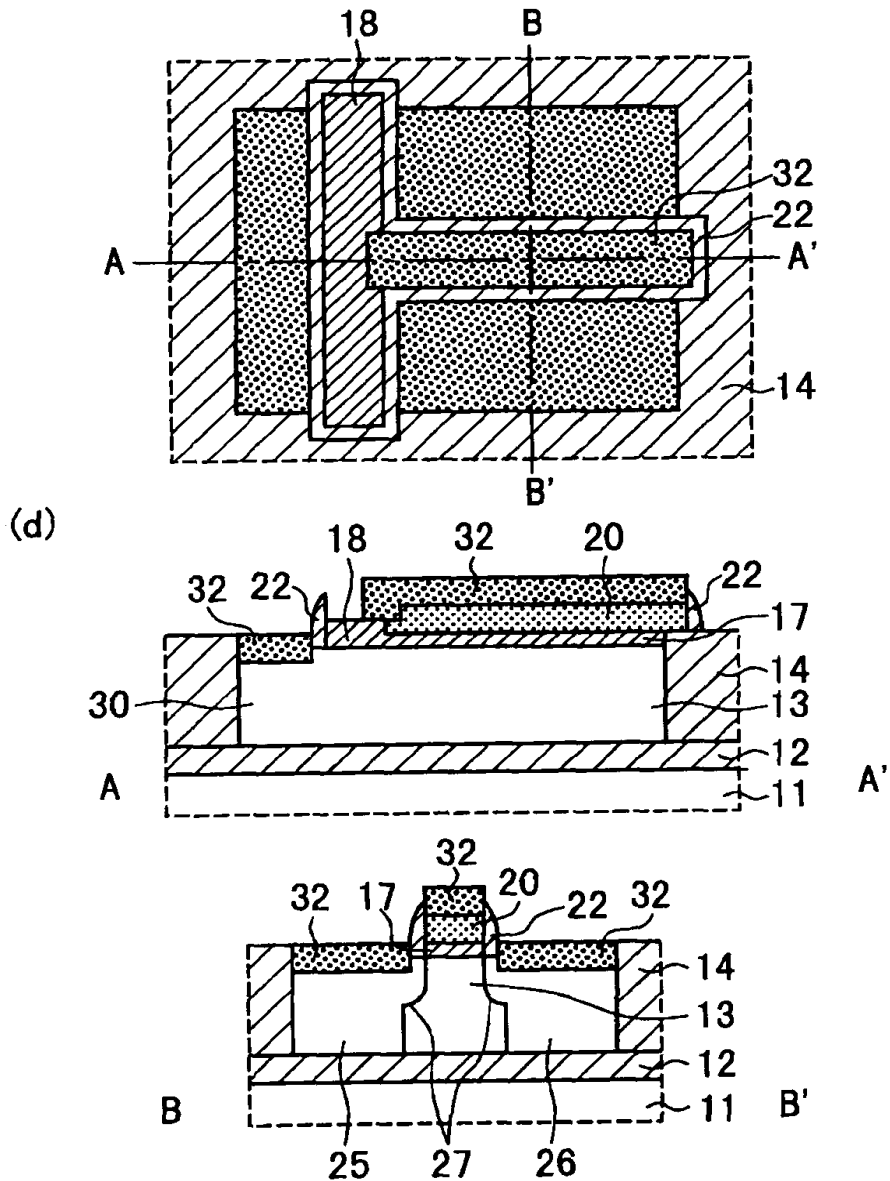
本発明の第 2 の実施の形態の途中までの製造工程の説明図



- | | | |
|------------|---------------|-------------|
| 11:シリコン基板 | 18:厚膜部 | 31:Co膜 |
| 12:基板分離酸化膜 | 20:ゲート電極 | 33:レジストパターン |
| 13:p型シリコン層 | 21:セパレータ | |
| 14:素子分離酸化膜 | 22:サイドウォール | |
| 17:ゲート絶縁膜 | 30:ボディコンタクト領域 | |

【図 8】

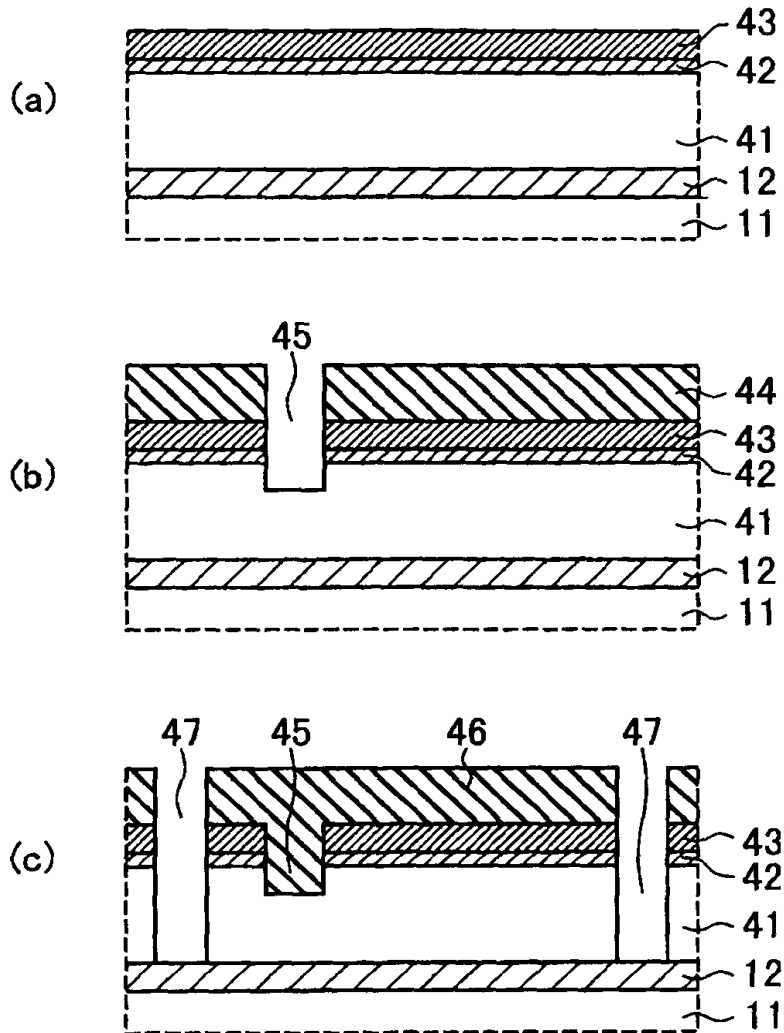
本発明の第 2 の実施の形態の図 7 以降の製造工程の説明図



- | | | |
|------------|------------|------------------------|
| 11:シリコン基板 | 18:厚膜部 | 26:n型ドレイン領域 |
| 12:基板分離酸化膜 | 20:ゲート電極 | 27:追い込み拡散領域 |
| 13:p型シリコン層 | 22:サイドウォール | 30:ボディコンタクト領域 |
| 14:素子分離酸化膜 | 25:n型ソース領域 | 32:CoSi ₂ 層 |
| 17:ゲート絶縁膜 | | |

【図 9】

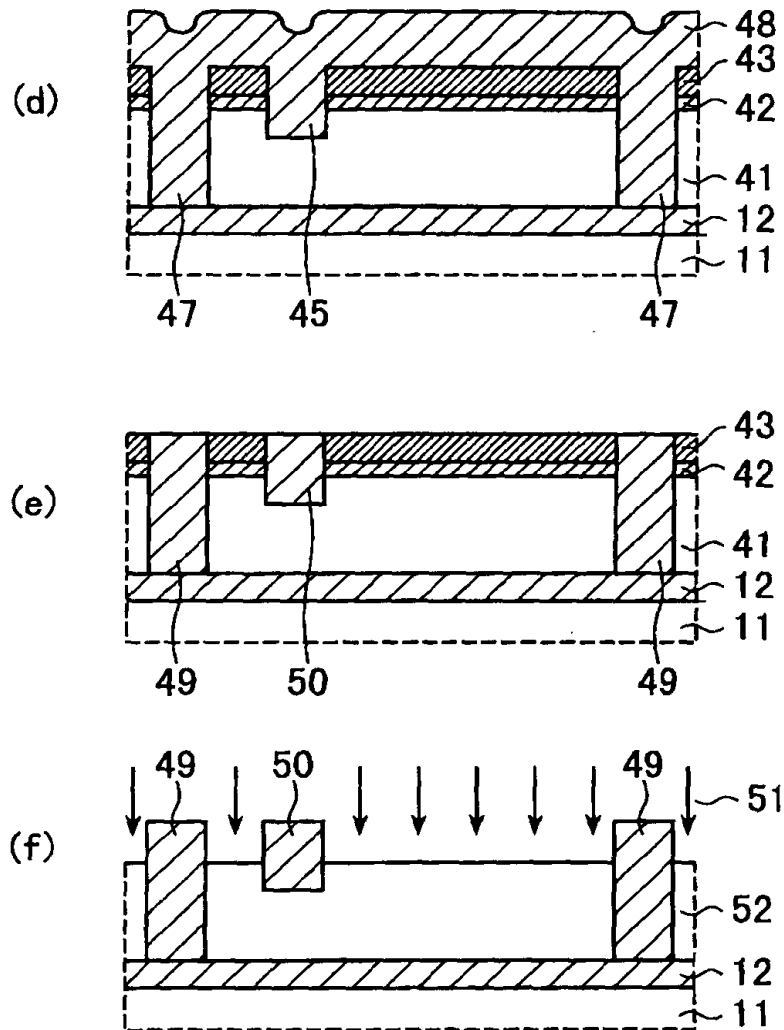
本発明の第 3 の実施の形態の途中までの製造工程の説明図



- | | |
|-----------------------|--------------|
| 11:シリコン基板 | 44:レジストパターン |
| 12:基板分離酸化膜 | 45:シャロートレンチ |
| 41:シリコン層 | 46:レジストパターン |
| 42:SiO ₂ 膜 | 47:素子分離用トレンチ |
| 43:SiN膜 | |

【図 1 0】

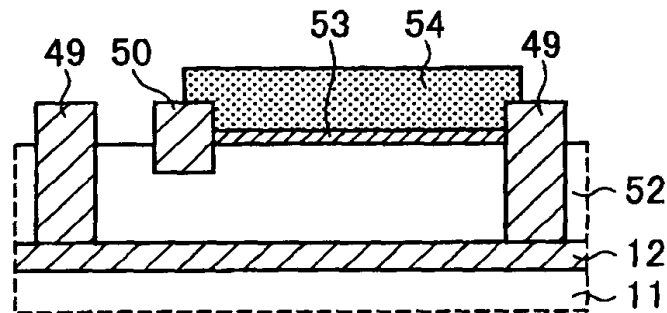
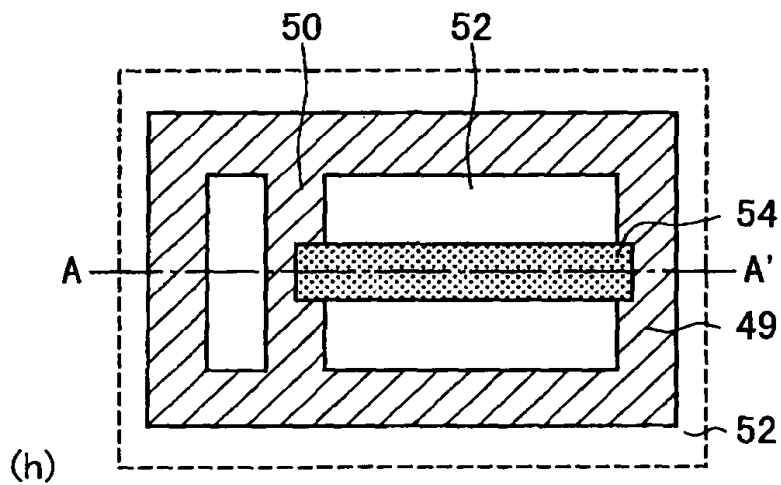
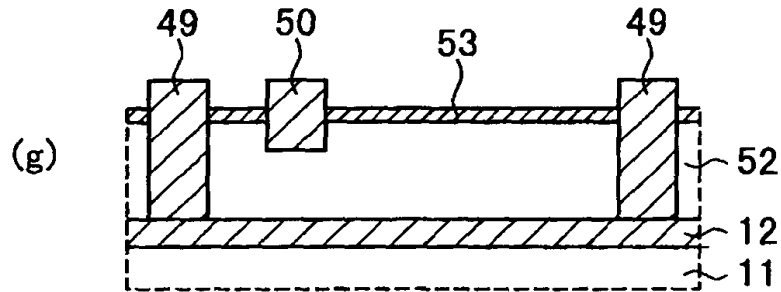
本発明の第 3 の実施の形態の図 9 以降の途中までの製造工程の説明図



- | | | |
|-----------------------|-----------------------|-------------|
| 11:シリコン基板 | 43:SiN膜 | 49:素子分離酸化膜 |
| 12:基板分離酸化膜 | 45:シャロートレンチ | 50:素子内分離酸化膜 |
| 41:シリコン層 | 47:素子分離用トレンチ | 51:Bイオン |
| 42:SiO ₂ 膜 | 48:SiO ₂ 膜 | 52:p型シリコン層 |

【図 1 1】

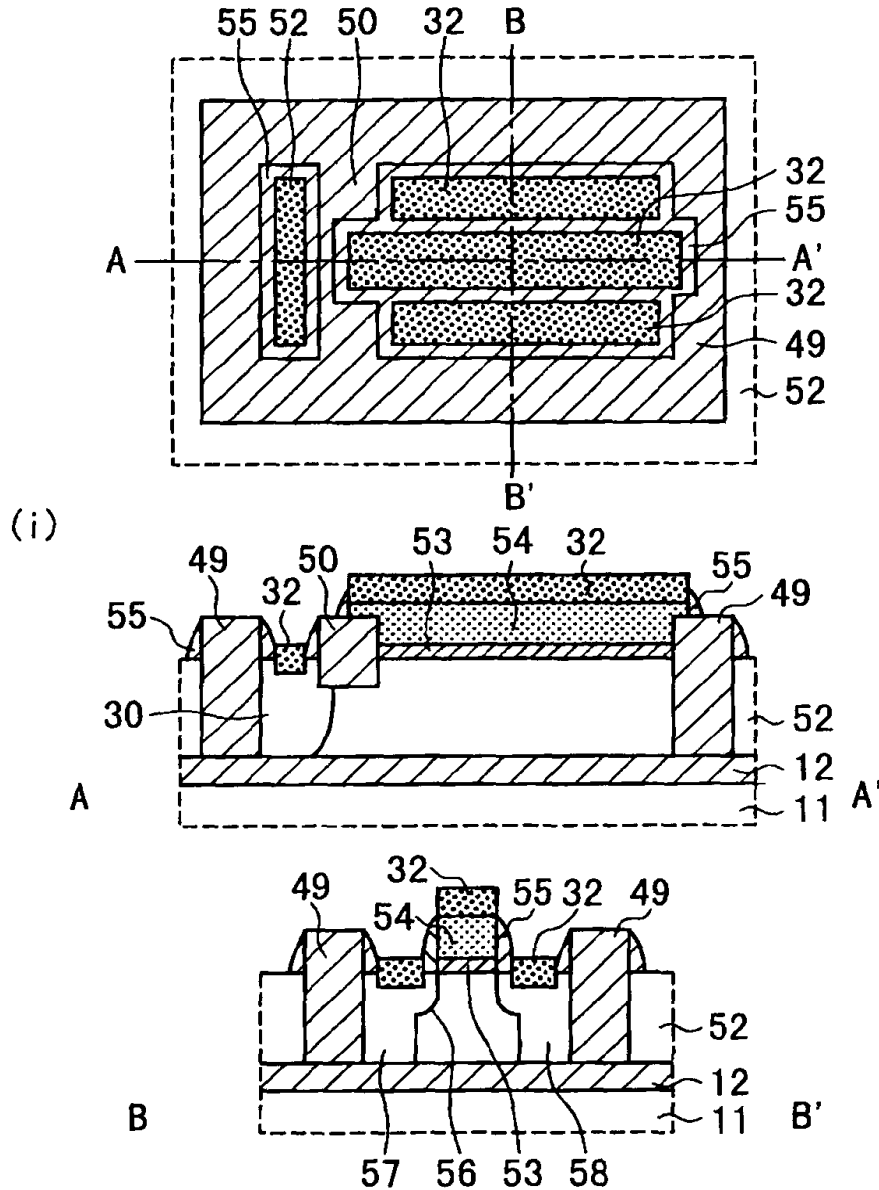
本発明の第 3 の実施の形態の図 1 0 以降の途中までの製造工程の説明図



- | | |
|-------------|------------|
| 11:シリコン基板 | 52:p型シリコン層 |
| 12:基板分離酸化膜 | 53:ゲート絶縁膜 |
| 49:素子分離酸化膜 | 54:ゲート電極 |
| 50:素子内分離酸化膜 | |

【図 12】

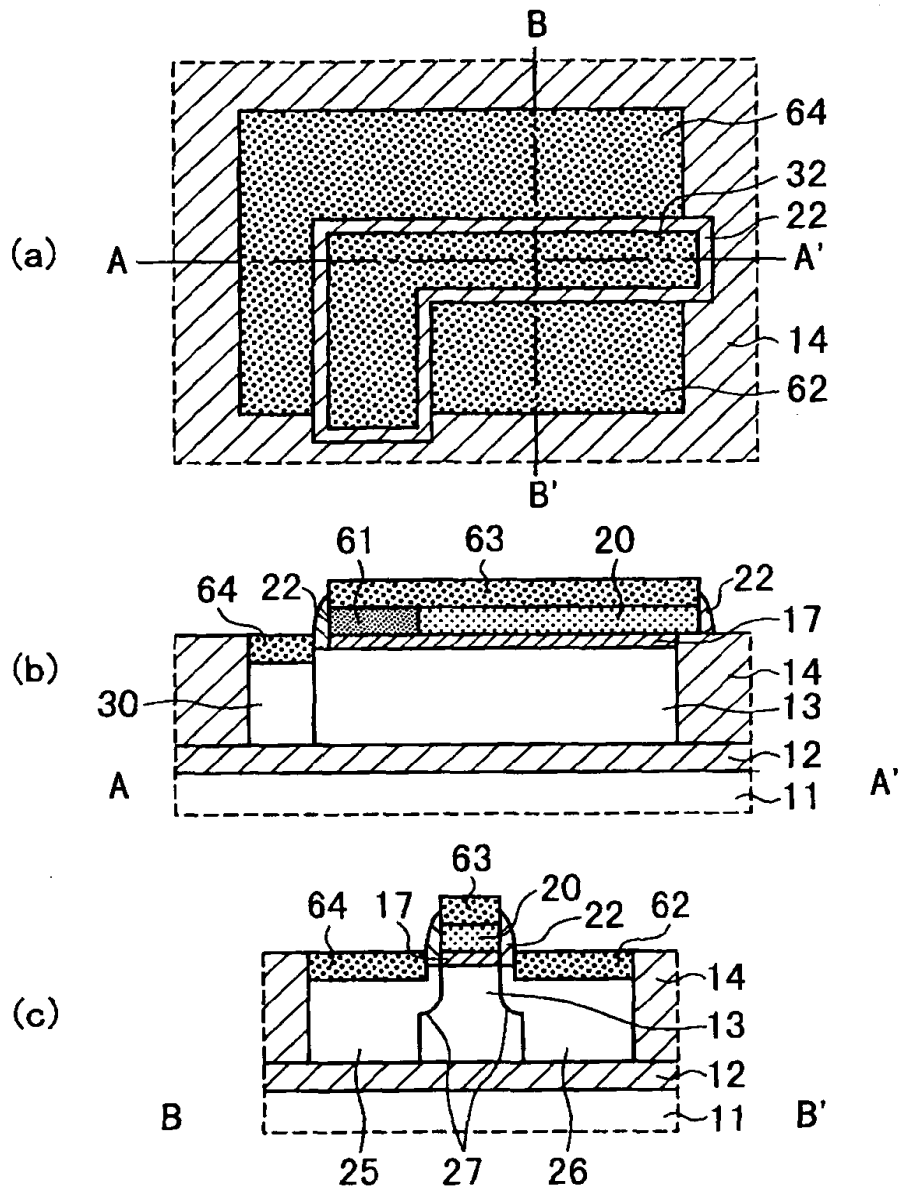
本発明の第 3 の実施の形態の図 1 1 以降の製造工程の説明図



- | | | |
|------------------------|-------------|-------------|
| 11:シリコン基板 | 50:素子内分離酸化膜 | 56:追い込み拡散領域 |
| 12:基板分離酸化膜 | 52:p型シリコン層 | 57:n型ソース領域 |
| 30:ボディコンタクト領域 | 53:ゲート絶縁膜 | 58:n型ドレイン領域 |
| 32:CoSi ₂ 層 | 54:ゲート電極 | |
| 49:素子分離酸化膜 | 55:サイドウォール | |

【図 1 3】

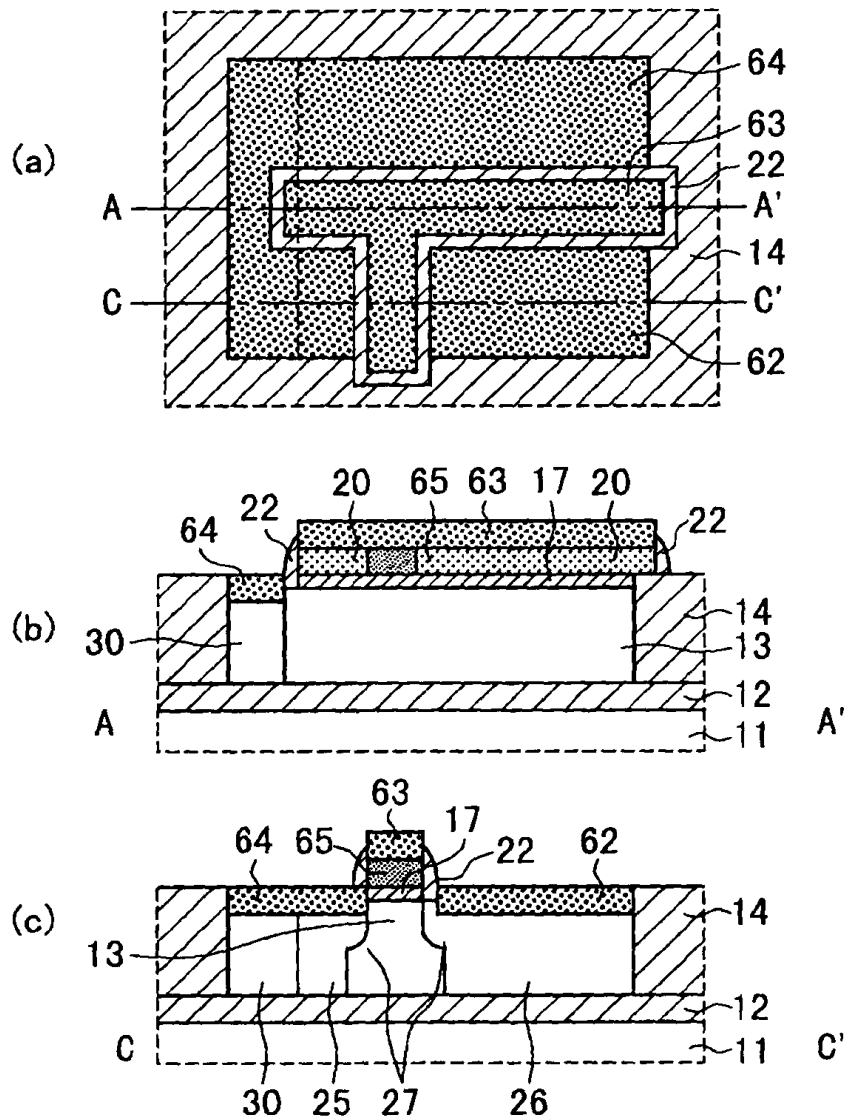
本発明の第 4 の実施の形態の S O I - M O S F E T の説明図



- | | | |
|------------|-------------|------------------------|
| 11:シリコン基板 | 20:ゲート電極 | 30:ボディコンタクト領域 |
| 12:基板分離酸化膜 | 22:サイドウォール | 61:セパレータ |
| 13:p型シリコン層 | 25:n型ソース領域 | 62:CoSi ₂ 層 |
| 14:素子分離酸化膜 | 26:n型ドレイン領域 | 63:CoSi ₂ 層 |
| 17:ゲート絶縁膜 | 27:追い込み拡散領域 | 64:CoSi ₂ 層 |

【図 1 4】

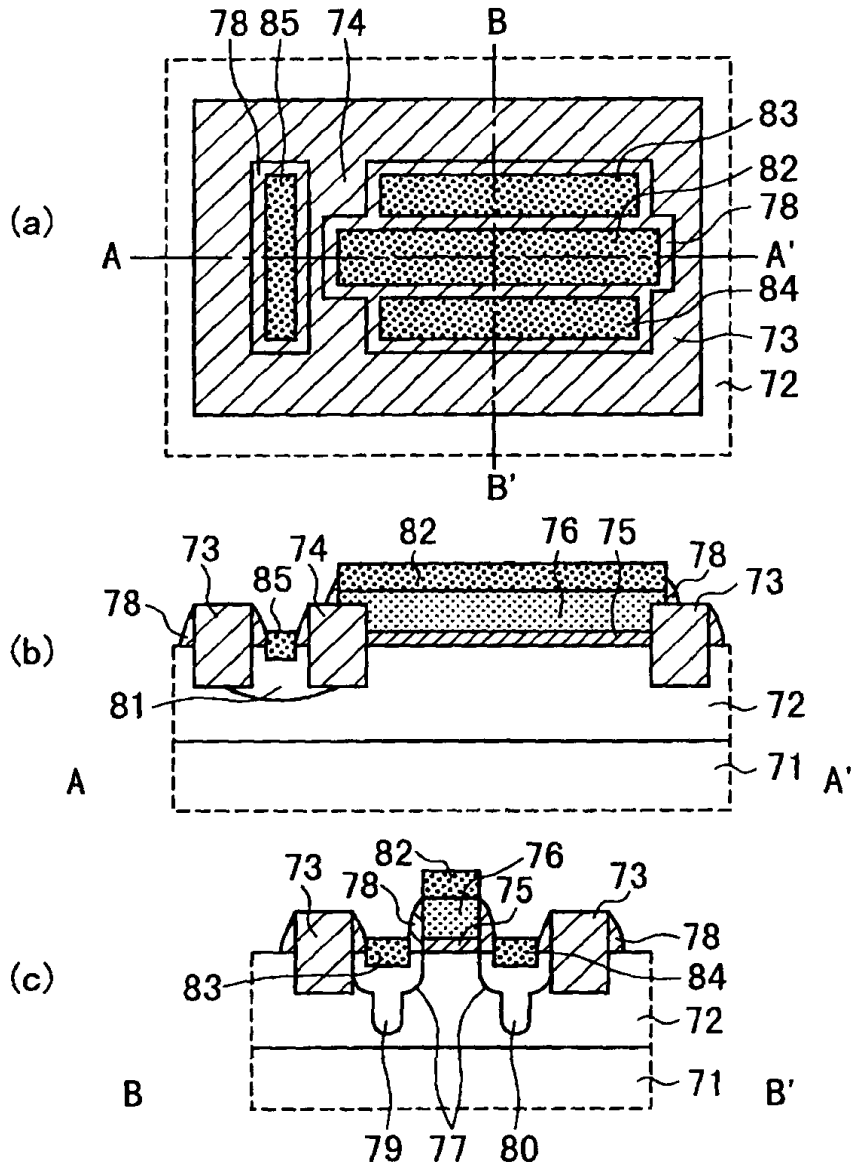
本発明の第 5 の実施の形態の S O I - M O S F E T の説明図



- | | | |
|------------|-------------|------------------------|
| 11:シリコン基板 | 20:ゲート電極 | 30:ボディコンタクト領域 |
| 12:基板分離酸化膜 | 22:サイドウォール | 62:CoSi ₂ 層 |
| 13:p型シリコン層 | 25:n型ソース領域 | 63:CoSi ₂ 層 |
| 14:素子分離酸化膜 | 26:n型ドレイン領域 | 64:CoSi ₂ 層 |
| 17:ゲート絶縁膜 | 27:追い込み拡散領域 | 65:セパレータ |

【図15】

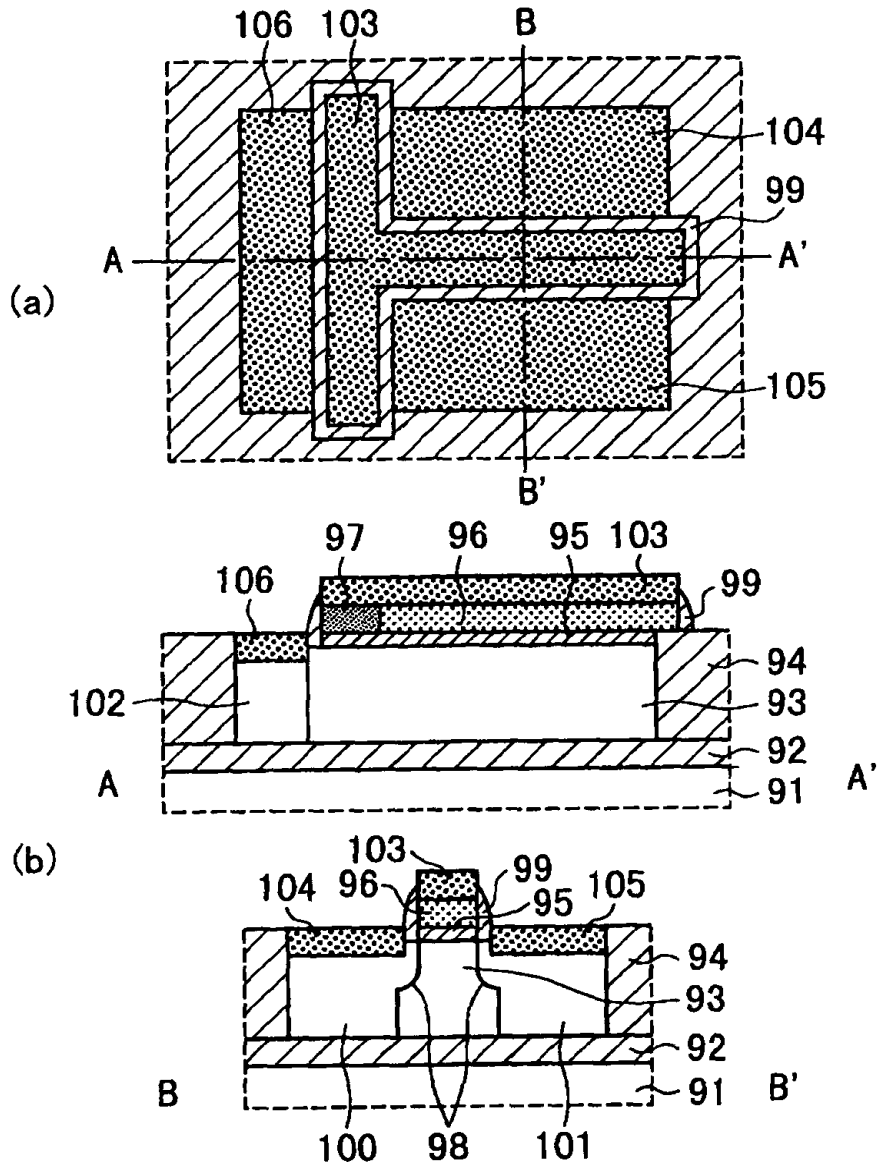
従来のMOSFETの説明図



- | | | |
|-------------|-------------|------------------------|
| 71:p型シリコン基板 | 76:ゲート電極 | 81:ボディコンタクト領域 |
| 72:p型ウェル領域 | 77:追い込み拡散領域 | 82:CoSi ₂ 層 |
| 73:素子分離酸化膜 | 78:サイドウォール | 83:CoSi ₂ 層 |
| 74:素子内分離酸化膜 | 79:n型ソース領域 | 84:CoSi ₂ 層 |
| 75:ゲート酸化膜 | 80:n型ドレイン領域 | 85:CoSi ₂ 層 |

【図16】

従来のSOI-MOSFETの説明図



- | | | |
|------------|-------------|-------------------------|
| 91:シリコン基板 | 96:ゲート電極 | 101:n型ドレイン領域 |
| 92:基板分離酸化膜 | 97:セパレータ | 102:ボディコンタクト領域 |
| 93:p型シリコン層 | 98:追い込み拡散領域 | 103:CoSi ₂ 層 |
| 94:素子分離酸化膜 | 99:サイドウォール | 104:CoSi ₂ 層 |
| 95:ゲート絶縁膜 | 100:n型ソース領域 | 105:CoSi ₂ 層 |
| | | 106:CoSi ₂ 層 |

【書類名】 要約書

【要約】

【課題】 絶縁ゲート型半導体装置及びその製造方法に関し、電極間の短絡を防止するとともに、セパレータ同士の短絡を防止し、また、寄生容量の増大を防止する。

【解決手段】 基板分離用絶縁膜 2 によって半導体基板 1 から分離した能動領域となる半導体層 3 上に、支柱状の主ゲート電極 6 と梁状導電体パターン 7 からなる T 字状のゲート電極を設けるとともに、梁状導電体パターン 7 の直下のゲート絶縁膜の膜厚を主ゲート電極 6 の直下のゲート絶縁膜 4 の膜厚より厚くする。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2000-029928
受付番号	50000137243
書類名	特許願
担当官	寺内 文男 7068
作成日	平成 12 年 2 月 16 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005223
【住所又は居所】	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
【氏名又は名称】	富士通株式会社

【代理人】

申請人

【識別番号】	100105337
【住所又は居所】	東京都港区虎ノ門二丁目 9 番 11 号 信和ビル
【氏名又は名称】	眞鍋 潔

【代理人】

【識別番号】	100072833
【住所又は居所】	東京都港区虎ノ門二丁目 9 番 11 号 信和ビル
【氏名又は名称】	柏谷 昭司

【代理人】

【識別番号】	100075890
【住所又は居所】	東京都港区虎ノ門二丁目 9 番 11 号 信和ビル
【氏名又は名称】	渡邊 弘一

【代理人】

【識別番号】	100110238
【住所又は居所】	東京都港区虎ノ門二丁目 9 番 11 号 信和ビル
【氏名又は名称】	伊藤 壽郎

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社